

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Masashi SHIMA

Serial Number: Not Yet Assigned

Filed: March 19, 2004

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

Attorney Docket No.: 042257

Customer No.: 38834

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

March 19, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:


**Japanese Appln. No. 2003-382460, filed on November 12, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

  
Stephen G. Adrian  
Reg. No. 32,878

1250 Connecticut Avenue, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/ll

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 1 月 1 2 日  
Date of Application:

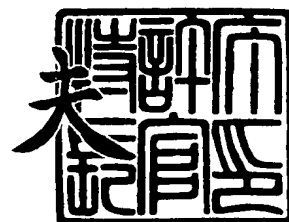
出 願 番 号                      特 願 2 0 0 3 - 3 8 2 4 6 0  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 8 2 4 6 0 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 4 年    1 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 1 1 0 8 6 9

【書類名】 特許願  
【整理番号】 0340771  
【提出日】 平成15年11月12日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/78  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
                                内  
    【氏名】 島 昌司  
【特許出願人】  
    【識別番号】 000005223  
    【氏名又は名称】 富士通株式会社  
【代理人】  
    【識別番号】 100087479  
    【弁理士】  
    【氏名又は名称】 北野 好人  
【選任した代理人】  
    【識別番号】 100114915  
    【弁理士】  
    【氏名又は名称】 三村 治彦  
【手数料の表示】  
    【予納台帳番号】 003300  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0012600

**【書類名】 特許請求の範囲****【請求項 1】**

シリコン基板上に形成された、厚さ 2 ～ 6 nm の SiGe より成るチャネル層と、  
前記チャネル層上に、ゲート絶縁膜を介して形成されたゲート電極と、  
前記ゲート電極の両側に形成されたソース／ドレイン拡散層と  
を有することを特徴とする半導体装置。

**【請求項 2】**

請求項 1 記載の半導体装置において、  
前記チャネル層には、前記シリコン基板側から前記ゲート絶縁膜側に向かって、Ge 組成が徐々に小さくなるような傾斜組成が存在している  
ことを特徴とする半導体装置。

**【請求項 3】**

請求項 1 又は 2 記載の半導体装置において、  
前記ゲート電極の側壁部分に形成されたサイドウォール絶縁膜を更に有し、  
前記チャネル層は、前記ゲート電極及び前記サイドウォール絶縁膜の直下のみに形成されている  
ことを特徴とする半導体装置。

**【請求項 4】**

請求項 1 又は 2 記載の半導体装置において、  
前記チャネル層は、前記ゲート電極の直下のみに形成されている  
ことを特徴とする半導体装置。

**【請求項 5】**

シリコン基板上に形成された SiGe より成るバッファ層と、  
前記バッファ層上に形成された、厚さ 2 ～ 6 nm のシリコンより成るチャネル層と、  
前記チャネル層上に、ゲート絶縁膜を介して形成されたゲート電極と、  
前記ゲート電極の両側に形成されたソース／ドレイン拡散層と  
を有することを特徴とする半導体装置。

**【請求項 6】**

請求項 3 乃至 5 のいずれか 1 項に記載の半導体装置において、  
前記ソース／ドレイン拡散層上に形成された、コバルトシリサイドより成るソース／ドレイン電極を更に有する  
ことを特徴とする半導体装置。

**【請求項 7】**

シリコン基板上に、厚さ 2 ～ 6 nm の SiGe より成るチャネル層を形成する工程と、  
前記チャネル層上に、ゲート絶縁膜を介してゲート電極を形成する工程と、  
前記ゲート電極をマスクとして、前記シリコン基板にドーパント不純物を導入することにより、前記ゲート電極の両側に第 1 の不純物拡散領域を形成する工程と、  
前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、  
前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記シリコン基板にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

**【請求項 8】**

請求項 7 記載の半導体装置の製造方法において、  
前記サイドウォール絶縁膜を形成する工程は、前記シリコン基板上に前記ゲート電極を覆うように絶縁膜を形成する工程と、前記絶縁膜を異方性エッチングすることにより、前記ゲート電極の前記側壁部分に、前記絶縁膜より成る前記サイドウォール絶縁膜を形成する工程とを有し、  
前記絶縁膜を異方性エッチングする工程では、前記ゲート電極及び前記サイドウォール絶縁膜の直下を除く領域の前記チャネル層をもエッチング除去する  
ことを特徴とする半導体装置の製造方法。

**【請求項 9】**

請求項 7 記載の半導体装置の製造方法において、

前記ゲート電極を形成する工程は、前記ゲート絶縁膜上に半導体膜を形成する工程と、前記半導体膜上にマスクを形成する工程と、前記マスクを用いて前記半導体膜をエッチングすることにより、前記半導体膜より成る前記ゲート電極を形成する工程とを有し、

前記半導体膜をエッチングする工程では、前記ゲート電極の直下を除く領域の前記チャネル層をもエッチング除去する

ことを特徴とする半導体装置の製造方法。

**【請求項 1 0】**

シリコン基板上に、S i G e より成るバッファ層を形成する工程と、

前記バッファ層上に、厚さ 2 ～ 6 n m のシリコンより成るチャネル層を形成する工程と、

前記チャネル層上に、ゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記チャネル層及び前記バッファ層にドーパント不純物を導入することにより、前記ゲート電極の両側に第 1 の不純物拡散領域を形成する工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記チャネル層及び前記バッファ層にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と

を有することを特徴とする半導体装置の製造方法。

## 【書類名】明細書

## 【発明の名称】半導体装置及びその製造方法

## 【技術分野】

## 【0001】

本発明は、半導体装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

近時、チャンネル層に歪みを導入することにより、チャンネル層の物性を変化させ、キャリア移動度を向上させる技術が大きく注目されている。

## 【0003】

例えば、シリコン基板上にSiGeより成るチャンネル層を形成したPMOSトランジスタが提案されている。SiGeの格子定数はSiの格子定数より大きいため、シリコン基板上にSiGeよりなるチャンネル層を形成した場合には、SiGeより成るチャンネル層に圧縮歪みが導入される。このような技術を用いれば、正孔の移動度を向上することが可能となる。

## 【0004】

また、シリコン基板上に、SiGeより成る厚いバッファ層を形成し、SiGeより成るバッファ層上にSiより成るチャンネル層を形成したNMOSトランジスタも提案されている。Siの格子定数はSiGeの格子定数より小さいため、SiGeより成るバッファ層上にSiより成るチャンネル層を形成した場合には、Siより成るチャンネル層に引っ張り歪みが導入される。このような技術を用いれば、電子の移動度を向上することが可能となる。

## 【特許文献1】特開2002-76347号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、提案されている技術では、キャリア移動度は向上し得るものの、オフ電流の増加を招いてしまう。ここで、オフ電流を低減すべく、チャンネル層中にドーパント不純物を高濃度に導入することも考えられる。しかし、チャンネル層にドーパント不純物を高濃度に導入した場合には、チャンネル層内において、基板面に垂直な方向における電界強度が強くなってしまい、チャンネル層とゲート絶縁膜との界面にキャリアが引き寄せられてしまう。そうすると、チャンネル層とゲート絶縁膜との界面でキャリアが散乱し、キャリア移動度の低下やオン電流の低下を招いてしまう。このように、提案されている技術では、オフ電流の増加やオン電流の低下を招くことなく、キャリア移動度を向上することが困難であった。このため、提案されている技術では、オフ電流の増加やオン電流の低下を招くことなく、動作速度を向上することが困難であった。

## 【0006】

本発明の目的は、オフ電流の増加やオン電流の低下を招くことなく、動作速度を向上し得る半導体装置及びその製造方法を提供することにある。

## 【課題を解決するための手段】

## 【0007】

上記目的は、シリコン基板上に形成された、厚さ2～6nmのSiGeより成るチャンネル層と、前記チャンネル層上に、ゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側に形成されたソース／ドレイン拡散層とを有することを特徴とする半導体装置により達成される。

## 【0008】

また、上記目的は、シリコン基板上に形成されたSiGeより成るバッファ層と、前記バッファ層上に形成された、厚さ2～6nmのシリコンより成るチャンネル層と、前記チャンネル層上に、ゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側に形成されたソース／ドレイン拡散層とを有することを特徴とする半導体装置により達成され

る。

#### 【0009】

また、上記目的は、シリコン基板上に、厚さ2～6 nmのSiGeより成るチャネル層を形成する工程と、前記チャネル層上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記シリコン基板にドーパント不純物を導入することにより、前記ゲート電極の両側に第1の不純物拡散領域を形成する工程と、前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記シリコン基板にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

#### 【0010】

また、上記目的は、シリコン基板上に、SiGeより成るバッファ層を形成する工程と、前記バッファ層上に、厚さ2～6 nmのシリコンより成るチャネル層を形成する工程と、前記チャネル層上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記チャネル層及び前記バッファ層にドーパント不純物を導入することにより、前記ゲート電極の両側に第1の不純物拡散領域を形成する工程と、前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記チャネル層及び前記バッファ層にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

#### 【発明の効果】

#### 【0011】

以上の通り、本発明によれば、チャネル層の厚さを2～6 nmと薄く設定しているため、チャネル層において量子閉じ込め効果を生じさせることができる。このため、本発明によれば、チャネル層における実効的なバンドギャップ $E_g$ を大きくすることが可能となる。本発明によれば、チャネル層における実効的なバンドギャップ $E_g$ を大きくすることができるため、オフ電流 $I_{off}$ を低減することが可能となる。しかも、本発明では、チャネル層に導入するドーパント不純物の濃度を高くすることを要しないため、基板面に対して垂直方向の電界が強くなってしまいうことがない。このため、本発明によれば、チャネル層とゲート絶縁膜との界面におけるキャリアの散乱の増加を抑制することができる。また、チャネル層に導入するドーパント不純物の濃度を高くすることを要しないため、接合容量が増大してしまうこともない。しかも、SiGeより成るチャネル層には、圧縮歪みが導入されているため、キャリア移動度を向上することができる。従って、本発明によれば、オフ電流の増大、オン電流の減少、及び接合容量の増大を招くことなく、キャリア移動度を向上することができる。従って、本発明によれば、オフ電流の増大、オン電流の減少等を招くことなく、動作速度を向上することができる。

#### 【0012】

また、本発明によれば、ゲート電極及びサイドウォール絶縁膜に覆われていない部分のチャネル層がエッチング除去されているため、金属シリサイドより成るソース／ドレイン電極を形成する際には、シリコン基板中のSi原子と金属膜38中の金属原子とが反応する。このため、本発明によれば、チャネル層の材料としてSiGeを用い、金属膜の材料としてコバルトを用いた場合であっても、低抵抗の金属シリサイドを形成することができる。従って、本発明によれば、ソース／ドレイン電極を形成する際に用いる金属膜の材料選択の余地を広くすることができる。

#### 【0013】

また、本発明によれば、シリコン酸化膜を異方性エッチングしてサイドウォール絶縁膜を形成する際に、オーバーエッチングを行うことにより、ゲート電極及びサイドウォール絶縁膜から露出している部分のチャネル層を除去するため、工程の増加を招くことなく、ゲート電極及びサイドウォール絶縁膜の直下のみにSiGeより成るチャネル層が形成された半導体装置を製造することができる。

## 【0014】

また、本発明によれば、SiGeより成るチャネル層がゲート電極の直下にのみ形成されているため、ソース／ドレイン拡散層やポケット領域はSiGeより成るチャネル層内には形成されず、シリコン基板内にのみ形成される。ソース／ドレイン拡散層やポケット領域を不純物プロファイルの制御が困難なチャネル層中に形成することを要しないため、本発明によれば、不純物プロファイルの制御を容易化することができる。

## 【0015】

また、本発明によれば、ポリシリコン膜をパターンニングしてゲート電極を形成する際に、オーバーエッチングを行うことにより、ゲート電極から露出している部分のチャネル層を除去するため、工程の増加を招くことなく、ゲート電極の直下のみにSiGeより成るチャネル層が形成された半導体装置を製造することができる。

## 【0016】

また、本発明によれば、シリコン基板側からゲート絶縁膜に向かってチャネル層におけるGe組成が小さくなっており、しかも、チャネル層において量子閉じ込め効果が生じるようにチャネル層が2～6nmと薄く形成されている。このため、本発明によれば、チャネル層における実効的なバンドギャップをより小さくすることができる。従って、本発明によれば、オフ電流の増大、オン電流の減少等をより確実に防止しつつ、キャリア移動度の向上を実現することができ、ひいては動作速度の速い半導体装置を提供することができる。

## 【0017】

また、本発明によれば、SiGeより成るバッファ層上に形成されたシリコンより成るチャネル層が2～6nmと薄く形成されているため、チャネル層において量子閉じ込め効果を生じさせることができ、実効的なバンドギャップを大きくすることができる。しかも、本発明によれば、シリコンより成るチャネル層に結晶歪みが導入されているため、キャリア移動度を向上することができる。従って、本発明によれば、SiGeより成るバッファ層上にシリコンよりなるチャネル層を形成した場合であっても、オフ電流の増加やオン電流の低下等を招くことなく、キャリア移動度を向上し得る半導体装置を提供することができる。ひいては動作速度の速い半導体装置を提供することができる。

## 【発明を実施するための最良の形態】

## 【0018】

## [第1実施形態]

本発明の第1実施形態による半導体装置及びその製造方法を図1乃至図12を用いて説明する。図1は、本実施形態による半導体装置を示す断面図である。

## 【0019】

## (半導体装置)

まず、本実施形態による半導体装置について図1を用いて説明する。

## 【0020】

図1に示すように、シリコン基板10上には、素子領域12を画定する素子分離領域14が形成されている。

## 【0021】

素子分離領域14により画定された素子領域12には、n型のチャネルドープ層16が形成されている。

## 【0022】

チャネルドープ層16が形成された素子領域12上には、SiGeより成るチャネル層18が形成されている。チャネル層18の組成は、例えばSi<sub>0.8</sub>Ge<sub>0.2</sub>に設定されている。SiGeの格子定数はSiの格子定数より大きいため、SiGeよりなるチャネル層18には、結晶歪みが導入されている。より具体的には、SiGeより成るチャネル層18には、圧縮歪みが導入されている。チャネル層18には、例えばn型のドーパント不純物が導入されている。

## 【0023】



チャンネル層 18 の厚さは、2 ～ 6 nm と薄く設定されている。本実施形態においてチャンネル層 18 の厚さを薄く設定している理由は、以下の通りである。

#### 【0024】

図 2 は、シリコン基板上に SiGe より成るチャンネル層を厚く形成した場合におけるエネルギーバンド構造を示す図である。即ち、図 2 は、シリコン基板 110 上に、チャンネル層 118、ゲート絶縁膜 120、及びゲート電極 122 を順次形成した PMOS トランジスタのエネルギーバンド構造を示している。チャンネル層 118 の厚さは、例えば 10 ～ 20 nm 程度である。図 2 (a) は、ゲート電圧  $V_g = 0$  V の場合、即ち、トランジスタがオフの場合におけるエネルギーバンド構造を示している。図 2 (b) は、ゲート電圧  $V_g = V_{dd}$  の場合、即ち、トランジスタがオンの場合におけるエネルギーバンド構造を示している。E<sub>v</sub> は、価電子帯端のエネルギーを示している。E<sub>c</sub> は伝導帯端のエネルギーを示している。E<sub>F</sub> は、フェルミレベルを示している。E<sub>g</sub> は、バンドギャップを示している。

#### 【0025】

図 2 から分かるように、SiGe より成るチャンネル層 118 のバンドギャップ E<sub>g</sub> は、シリコン基板 110 のバンドギャップより小さい。このため、シリコン基板 110 上に SiGe より成るチャンネル層 118 を単に厚く形成した場合には、シリコン基板内に Si より成るチャンネル層を形成されている場合と比較して、チャンネル層 118 におけるバンドギャップが小さくなる。このため、シリコン基板 110 上に SiGe より成るチャンネル層 118 を単に厚く形成した場合には、オフ電流  $I_{off}$ 、即ち、トランジスタがオフの際におけるリーク電流が大きくなってしまうこととなる。

#### 【0026】

オフ電流  $I_{off}$  の増加を防止するためには、チャンネル層 118 にドーパント不純物を導入することが考えられる。

#### 【0027】

図 3 は、SiGe より成るチャンネル層に n 型のドーパント不純物を比較的高濃度に導入した場合におけるエネルギーバンド構造を示す図である。図 3 の PMOS トランジスタの場合は、図 2 の PMOS トランジスタの場合と比較して、例えば 1.7 倍の n 型のドーパント不純物がチャンネル層 118 に導入されている。図 3 (a) は、ゲート電圧  $V_g = 0$  V の場合、即ち、トランジスタがオフの場合におけるエネルギーバンド構造を示している。図 3 (b) は、ゲート電圧  $V_g = V_{dd}$  の場合、即ち、トランジスタがオンの場合におけるエネルギーバンド構造を示している。

#### 【0028】

SiGe より成るチャンネル層 118 に n 型のドーパント不純物を比較的高濃度に導入した場合には、オフ電流  $I_{off}$  を小さくすることが可能となる。

#### 【0029】

しかし、SiGe より成るチャンネル層 118 に n 型のドーパント不純物を比較的高濃度に導入した場合には、基板面に対して垂直方向の電界がチャンネル層 118 に強く加わり、キャリアがチャンネル層 118 とゲート絶縁膜 120 との界面に引き寄せられる。このため、チャンネル層 118 とゲート絶縁膜 120 との界面においてキャリアが散乱してしまい、キャリア移動度の低下やオン電流  $I_{on}$  の低下を招いてしまうこととなる。また、チャンネル層 118 に n 型のドーパント不純物を比較的高濃度に導入した場合には、接合容量の増大をも招いてしまうため、トランジスタの動作速度が低下を招いてしまう。

#### 【0030】

図 4 は、本実施形態による半導体装置のエネルギーバンド構造を示す図、即ち、SiGe より成るチャンネル層の厚さを薄く設定した場合におけるエネルギーバンド構造を示す図である。即ち、図 4 は、シリコン基板 10 上に、2 ～ 6 nm のチャンネル層 18、ゲート絶縁膜 20、及びゲート電極 22 を順次形成した PMOS トランジスタのエネルギーバンド構造を示している。チャンネル層 18 に導入する n 型のドーパント不純物の濃度は、図 2 に示す PMOS トランジスタの場合と同様に比較的低濃度とした。

## 【0031】

これに対し、本実施形態では、チャンネル層18の厚さを2～6 nmと薄く設定しているため、チャンネル層18において量子閉じ込め効果を生じさせることができる。このため、本実施形態によれば、チャンネル層18における実効的なバンドギャップ $E_g$ を大きくすることが可能となる。本実施形態によれば、チャンネル層18における実効的なバンドギャップ $E_g$ を大きくすることができるため、オフ電流 $I_{off}$ を低減することが可能となる。しかも、本実施形態では、チャンネル層18に導入するドーパント不純物の濃度を高くすることを要しないため、基板面に対して垂直方向の電界が強くなってしまわない。このため、本実施形態によれば、チャンネル層18とゲート絶縁膜20との界面におけるキャリアの散乱の増加を抑制することができる。また、チャンネル層18に導入するドーパント不純物の濃度を高くすることを要しないため、接合容量が増大してしまうこともない。一方、SiGeより成るチャンネル層18には、圧縮歪みが導入されているため、キャリア移動度を向上することができる。従って、本実施形態によれば、オフ電流の増大、オン電流の低下、及び接合容量の増大を招くことなく、キャリア移動度を向上することが可能となる。

## 【0032】

チャンネル層18の厚さの下限を2 nmとしたのは、チャンネル層18の厚さがあまりに薄すぎると、チャンネルドーパ層16中を移動するキャリアの割合が増加し、全体としてキャリア移動度の向上が図れないためである。

## 【0033】

また、チャンネル層18の厚さの上限を6 nmとしたのは、チャンネル層18において十分な量子閉じ込め効果を生じさせるためには、チャンネル層18の厚さを6 nm以下と薄くする必要があるためである。但し、チャンネル層18の厚さを6 nmより若干厚くした場合であっても、量子閉じ込め効果はある程度生ずるため、チャンネル層18の厚さが6 nmより若干厚くてもよい。但し、チャンネル層18において十分な量子閉じ込め効果を生じさせて、バンドギャップを十分に大きくするためには、チャンネル層18の厚さを6 nm以下に設定することが望ましい。

## 【0034】

また、ここではチャンネル層18の組成を $Si_{0.8}Ge_{0.2}$ とする場合を例に説明したが、チャンネル層18の組成は $Si_{0.8}Ge_{0.2}$ に限定されるものではなく、適宜設定すればよい。チャンネル層18におけるGe組成比は、例えば5～30%の範囲で適宜設定すればよい。

## 【0035】

チャンネル層18上には、例えばシリコン酸化膜より成るゲート絶縁膜20が形成されている。ゲート絶縁膜20の膜厚は、例えば1.5 nm程度とする。

## 【0036】

ゲート絶縁膜20上には、例えばポリシリコンより成るゲート電極22が形成されている。

## 【0037】

ゲート電極22の両側のチャンネル層18内及びシリコン基板10内には、エクステンションソース／ドレイン構造の浅い領域を構成するp型の不純物拡散領域24が形成されている。このような不純物拡散領域24は、エクステンション領域と称されている。

## 【0038】

チャンネル層18内及びシリコン基板10内には、p型の不純物拡散領域24に隣接して、n型のポケット領域26が形成されている。ポケット領域26は、短チャンネル効果を防止するためのものである。

## 【0039】

ゲート電極22の側壁部分には、例えばシリコン酸化膜より成るサイドウォール絶縁膜28が形成されている。

## 【0040】

側壁部分にサイドウォール絶縁膜 28 が形成されたゲート電極 22 の両側のチャネル層 18 内及びシリコン基板 10 内には、エクステンションソース／ドレイン構造の深い領域を構成する p 型の不純物拡散領域 30 が形成されている。

【0041】

浅い不純物拡散領域、即ちエクステンション領域 24 と深い不純物拡散領域 30 とにより、エクステンションソース／ドレイン構造のソース／ドレイン拡散層 32 が構成されている。

【0042】

ゲート電極 22 上には、ニッケルシリサイド (NiSi) より成る金属シリサイド膜 34a が形成されている。ポリシリコン膜 22 と金属シリサイド膜 34a とにより、ポリサイド構造のゲート電極が構成されている。

【0043】

また、ソース／ドレイン拡散層 32 上には、ニッケルシリサイドより成る金属シリサイド膜 34b が形成されている。ソース／ドレイン拡散層 32 上に形成された金属シリサイド膜は、ソース／ドレイン電極 34b として機能する。

【0044】

こうして、本実施形態による半導体装置が構成されている。

【0045】

本実施形態による半導体装置は、シリコン基板 10 上に形成された SiGe より成るチャネル層 18 の厚さが、2～6 nm と薄く設定されていることに主な特徴がある。

【0046】

上述したように、シリコン基板 110 上に SiGe より成るチャネル層 118 を単に厚く形成した場合には、キャリア移動度を向上し得るものの、オフ電流  $I_{off}$  の増大を招いてしまう。チャネル層 118 中に導入するドーパント不純物の濃度を高く設定すれば、オフ電流  $I_{off}$  を低減し得るが、この場合には、上述したように、キャリア移動度の低下、オン電流  $I_{on}$  の低下、接合容量の増加等を招いてしまうこととなる。

【0047】

これに対し、本実施形態では、チャネル層の厚さを 2～6 nm と薄く設定しているため、チャネル層 18 において量子閉じ込め効果を生じさせることができる。このため、本実施形態によれば、チャネル層 18 における実効的なバンドギャップ  $E_g$  を大きくすることが可能となる。本実施形態によれば、チャネル層 18 における実効的なバンドギャップ  $E_g$  を大きくすることができるため、オフ電流  $I_{off}$  を低減することが可能となる。しかも、本実施形態では、チャネル層 18 に導入するドーパント不純物の濃度を高くすることを要しないため、基板面に対して垂直方向の電界が強くなってしまわない。このため、本実施形態によれば、チャネル層 18 とゲート絶縁膜 20 との界面におけるキャリアの散乱の増加を抑制することができる。また、チャネル層 18 に導入するドーパント不純物の濃度を高くすることを要しないため、接合容量が増大してしまうこともない。しかも、SiGe より成るチャネル層 18 には、圧縮歪みが導入されているため、キャリア移動度を向上することができる。従って、本実施形態によれば、オフ電流の増大、オン電流の減少、及び接合容量の増大を招くことなく、キャリア移動度を向上することができる。従って、本実施形態によれば、オフ電流の増大、オン電流の減少等を招くことなく、動作速度を向上することができる。

【0048】

(評価結果)

次に、本実施形態による半導体装置の評価結果について説明する。

【0049】

図 5 は、ゲート長と s 値との関係を示すグラフである。横軸は、ゲート長  $L_g$  を示している。縦軸は、トランジスタの s 値を示している。□印は、本実施形態の場合、即ち、チャネル層の厚さが 6 nm の場合を示している。△印はチャネル層の厚さが 10 nm の場合を示しており、○印はチャネル層の厚さが 14 nm の場合を示している。SiGe より成

るチャネル層 18 の面方位は、 $\langle 100 \rangle$ とした。また、ドレイン電圧  $V_d$  は、1.0 V とした。

#### 【0050】

図5から分かるように、チャネル層 18 の厚さが薄くなるに伴って、 $s$  値が小さくなる傾向がある。そして、チャネル層 18 の厚さが 6 nm の場合には、 $s$  値が最も小さくなっている。即ち、チャネル層 18 の厚さが 6 nm の場合には、極めて良好なサブスレッショルド特性が得られている。このことから、本実施形態によれば、サブスレッショルド特性の良好な半導体装置を提供し得ることが分かる。

#### 【0051】

図6は、 $I_{on} - I_{off}$  特性を示すグラフである。横軸は、オン電流  $I_{on}$ 、即ち、トランジスタをオンにしたときのドレイン電流を示している。縦軸は、オフ電流  $I_{off}$ 、即ち、トランジスタをオフにしたときのリーク電流を示している。□印は、本実施形態の場合、即ち、チャネル層の厚さが 6 nm の場合を示している。△印はチャネル層の厚さが 10 nm の場合を示しており、○印はチャネル層の厚さが 14 nm の場合を示している。SiGe より成るチャネル層 18 の面方位は、 $\langle 100 \rangle$ とした。また、ドレイン電圧  $V_d$  は、1.0 V とした。

#### 【0052】

図6から分かるように、SiGe より成るチャネル層 18 の厚さが薄くなるに伴って、オン電流  $I_{on}$  の大きさに対するオフ電流  $I_{off}$  の大きさが小さくなる傾向がある。そして、SiGe より成るチャネル層 18 の厚さが 6 nm の場合には、極めて良好な  $I_{on} - I_{off}$  特性が得られている。このことから、本実施形態によれば、オフ電流  $I_{off}$  が小さく、オン電流  $I_{on}$  の大きい半導体装置を提供し得ることがわかる。

#### 【0053】

図7は、しきい値電圧と接合容量との関係を示すグラフである。横軸は、しきい値電圧  $V_{th}$  を示している。縦軸は、接合容量を示している。□印は、本実施形態の場合、即ち、チャネル層の厚さが 6 nm の場合を示している。△印はチャネル層の厚さが 10 nm の場合を示しており、○印はチャネル層の厚さが 14 nm の場合を示している。●印は、チャネル層の厚さを 14 nm に設定するとともに、チャネル層に n 型のドーパント不純物を高濃度に導入した場合を示している。具体的には、●印の場合には、□印、△印及び○印の場合と比較して、1.7 倍のドーズ量でチャネル層に n 型のドーパント不純物を導入した。

#### 【0054】

一般に、PMOS トランジスタにおいて、オフ電流を低減するためには、しきい値電圧  $V_{th}$  を低く設定することが重要である。

#### 【0055】

チャネル層の厚さを薄くすることなく、チャネル層に n 型のドーパント不純物を導入することにより、しきい値電圧  $V_{th}$  を低くした場合には、○印の場合と●印の場合とを比較して分かるように、接合容量が大きくなってしまう。

#### 【0056】

これに対し、チャネル層の厚さを薄くすることにより、しきい値電圧  $V_{th}$  を低くした場合には、○印と△印と□印とを比較して分かるように、接合容量の増加を招くことなく、しきい値電圧  $V_{th}$  を低くすることができる。

#### 【0057】

これらのことから、本実施形態によれば、接合容量の増加を招くことなく、しきい値電圧  $V_{th}$  を低くし得ることがわかる。従って、本実施形態によれば、接合容量の増加を招くことなく、オフ電流  $I_{off}$  を低減することができる。

#### 【0058】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図8乃至図12を用いて説明する。図8乃至図12は、本実施形態による半導体装置の製造方法を示す工程断面図である。

## 【0059】

まず、図8(a)に示すように、例えばSTI (Shallow Trench Isolation) 法により、素子領域12を画定する素子分離領域14を形成する。

## 【0060】

次に、例えばイオン注入法により、シリコン基板10にn型のドーパント不純物を導入する。これにより、シリコン基板10内に、チャネルドープ層16が形成される。チャネルドープ層16は、しきい値電圧 $V_{th}$ を制御するためのものである。n型のドーパント不純物としては、例えばAsを用いる。イオン注入条件は、例えば加速電圧を200keV程度とする。

## 【0061】

次に、図8(b)に示すように、例えばCVD法により、素子領域12上にSiGeより成るチャネル層18を形成する。チャネル層18の組成は、例えば $Si_{0.8}Ge_{0.2}$ とする。チャネル層18の厚さは、例えば2~6nm程度とする。

## 【0062】

次に、例えばCVD法により、チャネル層16上に、シリコンより成るキャップ膜(図示せず)を形成する。キャップ膜の厚さは、例えば1.5nm程度とする。キャップ膜は、後工程においてゲート絶縁膜20を熱酸化法により形成する際に、チャネル層18を酸化することなく、ゲート絶縁膜20を形成するためのものである。熱酸化法によりゲート絶縁膜20を形成する際には、シリコンより成るキャップ膜が酸化され、シリコン酸化膜より成るゲート絶縁膜20が形成される。

## 【0063】

次に、図8(c)に示すように、熱酸化法により、ゲート絶縁膜20を形成する。ゲート絶縁膜20を形成する際には、上述したように、シリコンより成るキャップ膜が酸化され、シリコン酸化膜より成るゲート絶縁膜20が形成される。

## 【0064】

次に、図9(a)に示すように、全面に、例えばCVD法により、ポリシリコン膜22を形成する。ポリシリコン膜22の膜厚は、例えば100nm程度とする。

## 【0065】

次に、例えばスピコート法により、フォトレジスト膜36を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜をパターンニングする。これにより、ポリシリコン膜22をパターンニングするためのフォトレジストマスク36が形成される。

## 【0066】

次に、図9(b)に示すように、フォトレジスト膜36をマスクとして、ポリシリコン膜22をドライエッチングする。これにより、ポリシリコン膜より成るゲート電極22が形成される。

## 【0067】

次に、図9(c)に示すように、ゲート電極22上のフォトレジスト膜36を剥離する。

## 【0068】

次に、図10(a)に示すように、例えばイオン注入法により、基板面に対して斜めにn型のドーパント不純物を導入する。これにより、n型のポケット領域26が形成される。この際、チャネル層16にも、n型のドーパント不純物が導入されることとなる。n型のドーパント不純物としては、例えばAsを導入する。イオン注入条件は、例えば加速電圧を20keV程度とする。

## 【0069】

次に、図10(b)に示すように、例えばイオン注入法により、ゲート電極22をマスクとして、シリコン基板10にp型のドーパント不純物を導入する。この際、チャネル層18にはドーパント不純物を導入しないようにする。p型のドーパント不純物としては、例えばボロンを用いる。イオン注入条件は、例えば加速電圧を2keV程度とする。これにより、エクステンション領域を構成する不純物拡散領域24が形成される。

## 【0070】

次に、図10(c)に示すように、全面に、例えばCVD法により、シリコン酸化膜28を形成する。

## 【0071】

次に、図11(a)に示すように、シリコン酸化膜28を異方性エッチングする。これにより、ゲート電極22の側壁部分に、シリコン酸化膜より成るサイドウォール絶縁膜28が形成される。

## 【0072】

なお、ここではサイドウォール絶縁膜28の材料としてシリコン酸化膜を用いたが、サイドウォール絶縁膜28の材料はシリコン酸化膜に限定されるものではなく、他のあらゆる絶縁膜を適宜用いることが可能である。

## 【0073】

次に、図11(b)に示すように、ゲート電極22及びサイドウォール絶縁膜28をマスクとして、チャンネル層18及びシリコン基板10にp型のドーパント不純物を導入する。これにより、ソース／ドレイン拡散層の深い領域を構成する不純物拡散領域30が形成される。p型のドーパント不純物としては、例えばボロンを用いる。イオン注入条件は、例えば加速電圧を5keVとする。エクステンション領域、即ち、浅い不純物拡散領域24と、深い不純物拡散領域30とにより、ソース／ドレイン拡散層32が構成される。

## 【0074】

次に、図11(c)に示すように、例えばスパッタ法により、全面に、例えばNiより成る金属膜38を形成する。金属膜38の膜厚は、例えば10nm程度とする。

## 【0075】

次に、熱処理を行うことにより、金属膜38中のNiとチャンネル層18中のSiとを反応させる。また、金属膜38中のNiとゲート電極22中のSiとを反応させる。熱処理条件は、例えば500℃程度とする。

## 【0076】

次に、図12に示すように、未反応の金属膜38をエッチング除去する。こうして、ソース／ドレイン拡散層32上に、ニッケルシリサイド(NiSi)より成るソース／ドレイン電極34bが形成される。また、ポリシリコン膜22上に、ニッケルシリサイドより成る金属シリサイド膜34aが形成される。ポリシリコン膜22とニッケルシリサイド膜34aとにより、ポリサイド構造のゲート電極が構成される。

## 【0077】

こうして、本実施形態による半導体装置が製造される。

## 【0078】

## [第2実施形態]

本発明の第2実施形態による半導体装置及びその製造方法を図13乃至図15を用いて説明する。図13は、本実施形態による半導体装置を示す断面図である。図1乃至図12に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

## 【0079】

## (半導体装置)

本実施形態による半導体装置は、ゲート電極22及びサイドウォール絶縁膜28の直下にのみ、SiGeより成るチャンネル層18が形成されていることに主な特徴がある。

## 【0080】

図13に示すように、SiGeより成るチャンネル層18は、ゲート電極22及びサイドウォール絶縁膜28の直下にのみ形成されている。ゲート電極22及びサイドウォール絶縁膜28の直下を除く領域のチャンネル層18は、エッチング除去されている。

## 【0081】

ソース／ドレイン拡散層32上には、コバルトシリサイド(CoSi<sub>2</sub>)より成るソース／ドレイン電極34bが形成されている。

**【0082】**

なお、ここでは、コバルトシリサイドより成るソース／ドレイン電極34bを形成する場合を例に説明したが、ソース／ドレイン電極34bの材料はコバルトシリサイドに限定されるものではなく、他のあらゆる金属シリサイドを適宜用いることにより、ソース／ドレイン電極34bを形成してもよい。

**【0083】**

こうして、本実施形態による半導体装置が構成されている。

**【0084】**

本実施形態による半導体装置は、上述したように、ゲート電極22及びサイドウォール絶縁膜28の直下にのみ、SiGeより成るチャンネル層18が形成されていることに主な特徴がある。

**【0085】**

第1実施形態による半導体装置では、SiGeより成るチャンネル層18と金属膜38とを反応させることにより、金属シリサイドより成るソース／ドレイン電極34bを形成するが、金属膜38の材料としてコバルトを用いた場合には、低抵抗の金属シリサイドを形成することができず、ソース／ドレイン電極34bのコンタクト抵抗が高くなってしまう。このため、SiGeより成るチャンネル層18上に金属シリサイドより成るソース／ドレイン電極34bを形成する場合には、金属膜38の材料としてコバルトを用いることはできなかった。このため、第1実施形態による半導体装置では、ソース／ドレイン電極32を形成するために用いられることが可能な金属膜38の材料は狭く限定されていた。

**【0086】**

これに対し、本実施形態では、ゲート電極22及びサイドウォール絶縁膜28に覆われていない部分のチャンネル層18がエッチング除去されているため、金属シリサイドより成るソース／ドレイン電極34bを形成する際には、シリコン基板10中のSi原子と金属膜38中の金属原子とが反応する。このため、本実施形態によれば、チャンネル層18の材料としてSiGeを用い、金属膜38の材料としてコバルトを用いた場合であっても、低抵抗の金属シリサイドを形成することができる。従って、本実施形態によれば、ソース／ドレイン電極32を形成する際に用いる金属膜38の材料選択の余地を広くすることができる。

**【0087】**

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図14及び図15を用いて説明する。図14及び図15は、本実施形態による半導体装置の製造方法を示す工程断面図である。

**【0088】**

まず、シリコン酸化膜28を形成する工程までは、図8(a)乃至図10(c)を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

**【0089】**

次に、シリコン酸化膜28を異方性エッチングすることにより、ゲート電極22の側壁部分にシリコン酸化膜より成るサイドウォール絶縁膜28を形成する。この際、オーバーエッチングを行うことにより、ゲート電極22及びサイドウォール絶縁膜28の直下を除く領域のチャンネル層18をもエッチング除去する(図14(a)参照)。

**【0090】**

次に、図14(b)に示すように、例えばイオン注入法により、ゲート電極22及びサイドウォール絶縁膜28をマスクとして、p型のドーパント不純物を導入する。これにより、エクステンションソース／ドレイン構造の深い領域を構成するソース／ドレイン拡散層が形成される。

**【0091】**

次に、図15(a)に示すように、例えばスパッタ法により、全面に、コバルト(Co)より成る金属膜38aを形成する。金属膜38aの膜厚は、例えば10nm程度とする。

**【0092】**

次に、熱処理を行うことにより、金属膜38a中のCoとシリコン基板10中のSiとを反応させる。また、金属膜38a中のCoとゲート電極22中のSiとを反応させる。熱処理条件は、例えば800℃程度とする。

**【0093】**

次に、図15(b)に示すように、未反応の金属膜38aをエッチング除去する。これにより、ソース／ドレイン拡散層32上に、コバルトシリサイド(CoSi)より成るソース／ドレイン電極34bが形成される。また、ポリシリコン膜22上にコバルトシリサイド膜34aが形成されたポリサイド構造のゲート電極が形成される。

**【0094】**

こうして、本実施形態による半導体装置が製造される。

**【0095】**

本実施形態によれば、シリコン酸化膜を異方性エッチングしてサイドウォール絶縁膜28を形成する際に、オーバーエッチングを行うことにより、ゲート電極22及びサイドウォール絶縁膜28から露出している部分のチャンネル層18を除去するため、工程の増加を招くことなく、ゲート電極22及びサイドウォール絶縁膜28の直下のみにSiGeより成るチャンネル層18が形成された半導体装置を製造することができる。

**【0096】****[第3実施形態]**

本発明の第3実施形態による半導体装置及びその製造方法を図16乃至図20を用いて説明する。図16は、本実施形態による半導体装置を示す断面図である。図1乃至図15に示す第1又は第2実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

**【0097】****(半導体装置)**

本実施形態による半導体装置は、ゲート電極22の直下にのみチャンネル層18が形成されていることに主な特徴がある。

**【0098】**

図16に示すように、チャンネル層18はゲート電極22の直下にのみ形成されている。ゲート電極22の直下を除く領域のチャンネル層18は、エッチング除去されている。

**【0099】**

ソース／ドレイン拡散層32上には、コバルトシリサイド(CoSi<sub>2</sub>)より成るソース／ドレイン電極が形成されている。

**【0100】**

なお、ここでは、コバルトシリサイドより成るソース／ドレイン電極34bを形成する場合を例に説明したが、ソース／ドレイン電極34bの材料はコバルトシリサイドに限定されるものではなく、他のあらゆる金属シリサイドを適宜用いることによりソース／ドレイン電極34bを形成してもよい。

**【0101】**

こうして、本実施形態による半導体装置が構成されている。

**【0102】**

本実施形態による半導体装置は、上述したように、ゲート電極22の直下にのみチャンネル層18が形成されていることに主な特徴がある。

**【0103】**

一般に、SiGeより成るチャンネル層18中においては、ボロン(B)等のp型のドーパント不純物の拡散は抑制される一方、砒素(As)等のn型のドーパント不純物の拡散は助長される。このため、チャンネル層18の材料としてSiGeを用いた場合には、チャンネル近傍における不純物プロファイルを適切に制御することは、必ずしも容易ではない。

**【0104】**

本実施形態では、SiGeより成るチャンネル層18がゲート電極22の直下にのみ形成



されているため、ソース／ドレイン拡散層 32 やポケット領域 26 は SiGe より成るチャンネル層 18 内には形成されず、シリコン基板 10 内にのみ形成される。ソース／ドレイン拡散層 32 やポケット領域 26 を不純物プロファイルの制御が困難なチャンネル層 18 中に形成することを要しないため、本実施形態によれば、不純物プロファイルの制御を容易化することができる。

#### 【0105】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図 17 乃至図 20 を用いて説明する。図 17 乃至図 20 は、本実施形態による半導体装置の製造方法を示す工程断面図である。

#### 【0106】

まず、フォトリソ膜 36 をパターニングする工程までは、図 8 (a) 乃至図 9 (b) を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する (図 17 (a) 参照)。

#### 【0107】

次に、図 17 (b) に示すように、フォトリソ膜 36 をマスクとして、ポリシリコン膜 22 をドライエッチングする。この際、オーバーエッチングを行うことにより、フォトリソ膜 22 が形成されていない領域のチャンネル層 18 をもエッチング除去する。こうして、ゲート電極 22 が形成されるとともに、ゲート電極 22 の直下を除く領域のチャンネル層 18 がエッチング除去される。

#### 【0108】

この後の半導体装置の製造方法は、図 10 (a) 乃至図 11 (b) を用いて上述した半導体装置の製造方法及び図 15 (a) 及び図 15 (b) を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する (図 18 (a) 乃至図 20 (b) 参照)。

#### 【0109】

こうして、本実施形態による半導体装置が製造される。

#### 【0110】

本実施形態によれば、ポリシリコン膜をパターニングしてゲート電極 22 を形成する際に、オーバーエッチングを行うことにより、ゲート電極 22 から露出しているチャンネル層 18 を除去するため、工程の増加を招くことなく、ゲート電極 22 の直下のみに SiGe より成るチャンネル層 18 が形成された半導体装置を製造することができる。

#### 【0111】

[第 4 実施形態]

本発明の第 4 実施形態による半導体装置及びその製造方法を図 21 乃至図 23 を用いて説明する。図 21 は、本実施形態による半導体装置を示す断面図である。図 1 乃至図 20 に示す第 1 乃至第 3 実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

#### 【0112】

(半導体装置)

本実施形態による半導体装置は、SiGe より成るチャンネル層 18a において、シリコン基板 10 側からゲート絶縁膜 20 側に向かって Ge 組成が徐々に小さくなるような傾斜組成が存在していることに主な特徴がある。

#### 【0113】

図 21 に示すように、シリコン基板 10 上には、SiGe より成るチャンネル層 18a が形成されている。チャンネル層 18a の厚さは、例えば 2～6 nm 程度である。チャンネル層 18a における Ge 組成は、シリコン基板 10 側からゲート絶縁膜 20 側に向かって徐々に小さくなっている。チャンネル層 18a の上面側における Ge 組成は、例えば 0% である。チャンネル層 18a の下面側における Ge 組成は、例えば 30% である。

#### 【0114】

図 22 は、本実施形態による半導体装置のエネルギーバンド構造を示す図である。シリコン基板 10 側からゲート絶縁膜 20 に向かってチャンネル層 18a における Ge 組成が小

さくっており、しかも、チャネル層 18a において量子閉じ込め効果が生じるようにチャネル層 18a が 2 ~ 6 nm と薄く形成されているため、本実施形態によれば、チャネル層 18a における実効的なバンドギャップをより小さくすることができる。

#### 【0115】

従って、本実施形態によれば、オフ電流の増大、オン電流の減少等をより確実に防止しつつ、キャリア移動度の向上を実現することができる。

#### 【0116】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図 23 を用いて説明する。図 23 は、本実施形態による半導体装置の製造方法を示す工程断面図である。

#### 【0117】

まず、チャネルドープ層 16 を形成する工程までは、図 8 (a) を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

#### 【0118】

次に、図 23 (a) に示すように、例えば CVD 法により、SiGe より成るチャネル層 18a を形成する。チャネル層 18a を形成する際には、Ge 組成が徐々に小さくなるように、チャネル層 18a を形成する。Si の供給源となる原料ガスに対する Ge の供給源となる原料ガスの流量比を徐々に小さくすることにより、チャネル層 18a における Ge 組成を徐々に小さくすることが可能である。

#### 【0119】

この後の半導体装置の製造方法は、図 8 (c) 乃至図 12 を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

#### 【0120】

こうして本実施形態による半導体装置が製造される (図 23 (b) 参照)。

#### 【0121】

[第 5 実施形態]

本発明の第 5 実施形態による半導体装置及びその製造方法を図 24 乃至図 29 を用いて説明する。図 24 は、本実施形態による半導体装置を示す断面図である。図 1 乃至図 23 に示す第 1 乃至第 4 実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

#### 【0122】

(半導体装置)

本実施形態による半導体装置は、シリコン基板 10 上に SiGe より成るバッファ層 40 が形成されており、SiGe より成るバッファ層 40 上にシリコンより成るチャネル層 18b が形成されていることに主な特徴がある。

#### 【0123】

図 24 に示すように、シリコン基板 10 上には、SiGe より成るバッファ層 40 が形成されている。バッファ層 40 の厚さは、例えば 2  $\mu$ m 程度である。バッファ層 40 の厚さが十分に厚いため、バッファ層 40 の上部では、シリコン基板 10 とバッファ層 40 との格子不整合に起因する格子歪みは殆ど存在していない。

#### 【0124】

バッファ層 40 には、素子領域 12 を画定する素子分離領域 14 が形成されている。

#### 【0125】

バッファ層 40 には、p 型のチャネルドープ層 16a が形成されている。

#### 【0126】

バッファ層 40 上には、シリコンより成るチャネル層 18b が形成されている。シリコンの格子定数は SiGe の格子定数より小さいため、シリコンより成るチャネル層 18b には圧縮歪みが生じている。

#### 【0127】

ゲート電極 22 の両側のチャネル層 18b 内及びバッファ層 40 内には、エクステンシ

ョンソース／ドレイン構造の浅い領域を構成する n 型の不純物拡散領域 2 4 a が形成されている。

#### 【0 1 2 8】

チャンネル層 1 8 b 内及びバッファ層 4 0 内には、n 型の不純物拡散領域 2 4 a に隣接して、p 型のポケット領域 2 6 a が形成されている。

#### 【0 1 2 9】

側壁部分にサイドウォール絶縁膜 2 8 が形成されたゲート電極 2 2 の両側のチャンネル領域 1 8 b 内及びバッファ層 4 0 内には、エクステンションソース／ドレイン構造の深い領域を構成する n 型の不純物拡散領域 3 0 a が形成されている。浅い不純物拡散領域 2 4 a と深い不純物拡散領域 3 0 a とにより、n 型のソース／ドレイン拡散層 3 2 a が構成されている。

#### 【0 1 3 0】

図 2 5 は、シリコン基板上に S i G e より成るバッファ層及びシリコンより成るチャンネル層を順次形成した場合におけるエネルギーバンド構造を示す図である。図 2 5 (a) は、S i G e より成るバッファ層 1 4 0 上に、シリコンより成るチャンネル層 1 1 8 a を例えば 2 0 n m 程度と厚く形成した場合を示している。図 2 5 (b) は、本実施形態の場合、即ち、S i より成るチャンネル層 1 8 b を 2 ～ 6 n m と薄く形成した場合を示している。

#### 【0 1 3 1】

本実施形態による半導体装置の場合には、シリコンより成るチャンネル層 1 8 b が 2 ～ 6 n m と薄く形成されているため、シリコンより成るチャンネル層において量子閉じ込め効果を生じさせることができる。このため、本実施形態によれば、図 2 5 (b) に示すように、シリコンより成るチャンネル層における実効的なバンドギャップ  $E_g$  をより大きくすることができる。

#### 【0 1 3 2】

こうして本実施形態による半導体装置が構成されている。

#### 【0 1 3 3】

本実施形態による半導体装置は、上述したように、シリコン基板 1 0 上に S i G e より成るバッファ層 4 0 が形成されており、S i G e より成るバッファ層 4 0 上にシリコンより成るチャンネル層 1 8 b が 2 ～ 6 n m 程度と薄く形成されていることに主な特徴がある。

#### 【0 1 3 4】

本実施形態による半導体装置によれば、チャンネル層 1 8 b が 2 ～ 6 n m と薄く形成されているため、チャンネル層 1 8 b において量子閉じ込め効果を生じさせることができ、実効的なバンドギャップを大きくすることができる。しかも、本実施形態によれば、チャンネル層 1 8 b に結晶歪みが導入されているため、上記実施形態による半導体装置と同様に、キャリア移動度を向上することができる。従って、本実施形態によっても、オフ電流の増加やオン電流の低下等を招くことなく、キャリア移動度を向上し得る半導体装置を提供することができる。

#### 【0 1 3 5】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図 2 6 乃至図 2 9 を用いて説明する。図 2 6 乃至図 2 9 は、本実施形態による半導体装置の製造方法を示す工程断面図である。

#### 【0 1 3 6】

まず、図 2 6 (a) に示すように、シリコン基板 1 0 上に、S i G e より成るバッファ層 4 0 を形成する。バッファ層 4 0 の厚さは、例えば 2  $\mu$  m 程度とする。

#### 【0 1 3 7】

次に、例えば S T I 法により、バッファ層 4 0 に、素子領域 1 2 を画定する素子分離領域 1 4 を形成する。

#### 【0 1 3 8】

次に、図 2 6 (b) に示すように、例えばイオン注入法により、シリコン基板 1 0 に p 型のドーパント不純物を導入する。これにより、シリコン基板 1 0 内に、p 型のチャンネル

ドープ層 16a が形成される。チャンネルドープ層 16 は、しきい値電圧  $V_{th}$  を制御するためのものである。p 型のドーパント不純物としては、例えば B (ボロン) を用いる。イオン注入条件は、例えば加速電圧を 50 keV とする。

#### 【0139】

次に、図 27 (a) に示すように、例えば CVD 法により、素子領域 12 上にシリコンより成るチャンネル層 18a を形成する。チャンネル層 18b の厚さは、例えば 8 nm 程度とする。

#### 【0140】

次に、熱酸化法により、チャンネル層 18b 上にゲート絶縁膜 20 を形成する。ゲート絶縁膜 20 を形成する際には、チャンネル層 18b の表面部分が酸化され、シリコン酸化膜より成るゲート絶縁膜 20 が形成される。チャンネル層 18b の表面部分を酸化することによりゲート絶縁膜 20 が形成されるため、ゲート絶縁膜 20 が形成された後におけるチャンネル層 18b の厚さは、2 ~ 6 nm 程度となる。

#### 【0141】

この後のポリシリコン膜 22 を形成する工程からゲート電極 22 を形成する工程までは、図 9 (a) 乃至図 9 (c) を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

#### 【0142】

次に、図 27 (b) に示すように、例えばイオン注入法により、基板面に対して斜めに p 型のドーパント不純物を導入する。これにより、p 型のポケット領域 26a が形成される。この際、チャンネル層 16b にも、p 型のドーパント不純物が導入されることとなる。p 型のドーパント不純物としては、例えばボロンを導入する。イオン注入条件は、例えば加速電圧を 10 keV とする。

#### 【0143】

次に、図 28 (a) に示すように、例えばイオン注入法により、ゲート電極 22 をマスクとして、バッファ層 40 に n 型のドーパント不純物を導入する。n 型のドーパント不純物としては、例えば As を用いる。イオン注入条件は、例えば加速電圧を 5 keV とする。これにより、エクステンションソース/ドレイン構造の浅い領域を構成する不純物拡散領域 24a が形成される。

#### 【0144】

この後、シリコン酸化膜 28 を形成する工程からサイドウォール絶縁膜 28 を形成する工程までは、図 10 (c) 及び図 11 (a) を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

#### 【0145】

次に、図 28 (b) に示すように、ゲート電極 22 及びサイドウォール絶縁膜 28 をマスクとして、チャンネル層 18b 及びバッファ層 40 に n 型のドーパント不純物を導入する。これにより、エクステンションソース/ドレイン構造の深い領域を構成する不純物拡散領域 30a が形成される。n 型のドーパント不純物としては、例えば As を用いる。イオン注入条件は、例えば加速電圧を 10 keV とする。エクステンション領域、即ち、浅い不純物拡散領域 24a と、深い不純物拡散領域 30a とにより、ソース/ドレイン拡散層 32a が構成される。

#### 【0146】

この後の半導体装置の製造方法は、図 11 (b) 及び図 12 を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

#### 【0147】

こうして、本実施形態による半導体装置が製造される (図 29 参照)。

#### 【0148】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

#### 【0149】

例えば、第1乃至第4実施形態では、PMOSトランジスタを例に説明したが、本発明の原理は、PMOSトランジスタに限定されるものではなく、他のあらゆる半導体装置に適用することが可能である。

【0150】

また、第5実施形態では、NMOSトランジスタを例に説明したが、本発明の原理は、NMOSトランジスタに限定されるものではなく、他のあらゆる半導体装置に適用することが可能である。

【0151】

(付記1) シリコン基板上に形成された、厚さ2～6nmのSiGeより成るチャンネル層と、

前記チャンネル層上に、ゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の両側に形成されたソース／ドレイン拡散層と

を有することを特徴とする半導体装置。

【0152】

(付記2) 付記1記載の半導体装置において、

前記チャンネル層には、前記シリコン基板側から前記ゲート絶縁膜側に向かって、Ge組成が徐々に小さくなるような傾斜組成が存在している

ことを特徴とする半導体装置。

【0153】

(付記3) 付記1又は2記載の半導体装置において、

前記ゲート電極の側壁部分に形成されたサイドウォール絶縁膜を更に有し、

前記チャンネル層は、前記ゲート電極及び前記サイドウォール絶縁膜の直下のみに形成されている

ことを特徴とする半導体装置。

【0154】

(付記4) 付記1又は2記載の半導体装置において、

前記チャンネル層は、前記ゲート電極の直下のみに形成されている

ことを特徴とする半導体装置。

【0155】

(付記5) シリコン基板上に形成されたSiGeより成るバッファ層と、

前記バッファ層上に形成された、厚さ2～6nmのシリコンより成るチャンネル層と、

前記チャンネル層上に、ゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の両側に形成されたソース／ドレイン拡散層と

を有することを特徴とする半導体装置。

【0156】

(付記6) 付記1乃至5のいずれかに記載の半導体装置において、

前記ソース／ドレイン拡散層上に形成された、ニッケルシリサイドより成るソース／ドレイン電極を更に有する

ことを特徴とする半導体装置。

【0157】

(付記7) 付記3乃至5のいずれかに記載の半導体装置において、

前記ソース／ドレイン拡散層上に形成された、コバルトシリサイドより成るソース／ドレイン電極を更に有する

ことを特徴とする半導体装置。

【0158】

(付記8) シリコン基板上に、厚さ2～6nmのSiGeより成るチャンネル層を形成する工程と、

前記チャンネル層上に、ゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記シリコン基板にドーパント不純物を導入することにより、前記ゲート電極の両側に第1の不純物拡散領域を形成する工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、  
前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記シリコン基板にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

**【0159】**

(付記9) 付記8記載の半導体装置の製造方法において、  
前記サイドウォール絶縁膜を形成する工程は、前記シリコン基板上に前記ゲート電極を覆うように絶縁膜を形成する工程と、前記絶縁膜を異方性エッチングすることにより、前記ゲート電極の前記側壁部分に、前記絶縁膜より成る前記サイドウォール絶縁膜を形成する工程とを有し、

前記絶縁膜を異方性エッチングする工程では、前記ゲート電極及び前記サイドウォール絶縁膜の直下を除く領域の前記チャンネル層をもエッチング除去することを特徴とする半導体装置の製造方法。

**【0160】**

(付記10) 付記8記載の半導体装置の製造方法において、  
前記ゲート電極を形成する工程は、前記ゲート絶縁膜上に半導体膜を形成する工程と、前記半導体膜上にマスクを形成する工程と、前記マスクを用いて前記半導体膜をエッチングすることにより、前記半導体膜より成る前記ゲート電極を形成する工程とを有し、

前記半導体膜をエッチングする工程では、前記ゲート電極の直下を除く領域の前記チャンネル層をもエッチング除去することを特徴とする半導体装置の製造方法。

**【0161】**

(付記11) 付記9乃至10のいずれかに記載の半導体装置の製造方法において、  
前記金属シリサイドは、コバルトシリサイドである  
ことを特徴とする半導体装置の製造方法。

**【0162】**

(付記12) シリコン基板上に、SiGeより成るバッファ層を形成する工程と、  
前記バッファ層上に、厚さ2～6nmのシリコンより成るチャンネル層を形成する工程と

、  
前記チャンネル層上に、ゲート絶縁膜を介してゲート電極を形成する工程と、  
前記ゲート電極をマスクとして、前記チャンネル層及び前記バッファ層にドーパント不純物を導入することにより、前記ゲート電極の両側に第1の不純物拡散領域を形成する工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、  
前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記チャンネル層及び前記バッファ層にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

**【図面の簡単な説明】****【0163】**

【図1】本発明の第1実施形態による半導体装置を示す断面図である。

【図2】シリコン基板上にSiGeより成るチャンネル層を厚く形成した場合におけるエネルギーバンド構造を示す図である。

【図3】SiGeより成るチャンネル層にn型のドーパント不純物を高濃度に導入した場合におけるエネルギーバンド構造を示す図である。

【図4】本発明の第1実施形態による半導体装置のエネルギーバンド構造を示す図である。

【図5】ゲート長とs値との関係を示すグラフである。

【図6】 $I_{on}$  -  $I_{off}$  特性を示すグラフである。

【図7】しきい値電圧と接合容量との関係を示すグラフである。

【図 8】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 9】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 1 0】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 1 1】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 1 2】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 1 3】本発明の第 2 実施形態による半導体装置を示す断面図である。

【図 1 4】本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 1 5】本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 1 6】本発明の第 3 実施形態による半導体装置を示す断面図である。

【図 1 7】本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 1 8】本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 1 9】本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 2 0】本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 2 1】本発明の第 4 実施形態による半導体装置を示す断面図である。

【図 2 2】本発明の第 4 実施形態による半導体装置のエネルギーバンド構造を示す図である。

【図 2 3】本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図である。

【図 2 4】本発明の第 5 実施形態による半導体装置を示す断面図である。

【図 2 5】シリコン基板上に S i G e より成るバッファ層及びシリコンより成るチャネル層を順次形成した場合におけるエネルギーバンド構造を示す図である。

【図 2 6】本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2 7】本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 2 8】本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 2 9】本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

#### 【符号の説明】

【 0 1 6 4 】

1 0 …シリコン基板

1 2 …素子領域

1 4 …素子分離領域

1 6、1 6 a …チャネルドープ層

1 8、1 8 a、1 8 b …チャネル層

2 0 …ゲート絶縁膜

2 2 …ゲート電極、ポリシリコン膜

2 4、2 4 a …不純物拡散領域

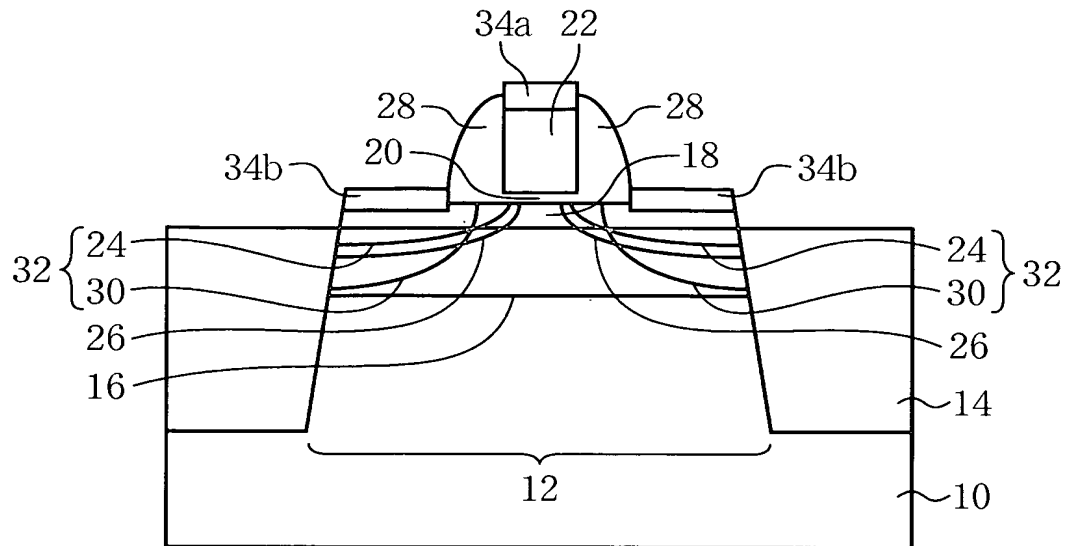
2 6、2 6 a…ポケット領域  
2 8…サイドウォール絶縁膜、シリコン酸化膜  
3 0…不純物拡散領域  
3 2…ソース／ドレイン拡散層  
3 4 a…金属シリサイド膜  
3 4 b…金属シリサイド膜、ソース／ドレイン電極  
3 6…フォトレジスト膜  
3 8…金属膜  
4 0…バッファ層  
1 1 0…シリコン基板  
1 1 8、1 1 8 a…チャネル層  
1 2 0…ゲート絶縁膜  
1 2 2…ゲート電極  
1 4 0…バッファ層



【書類名】 図面

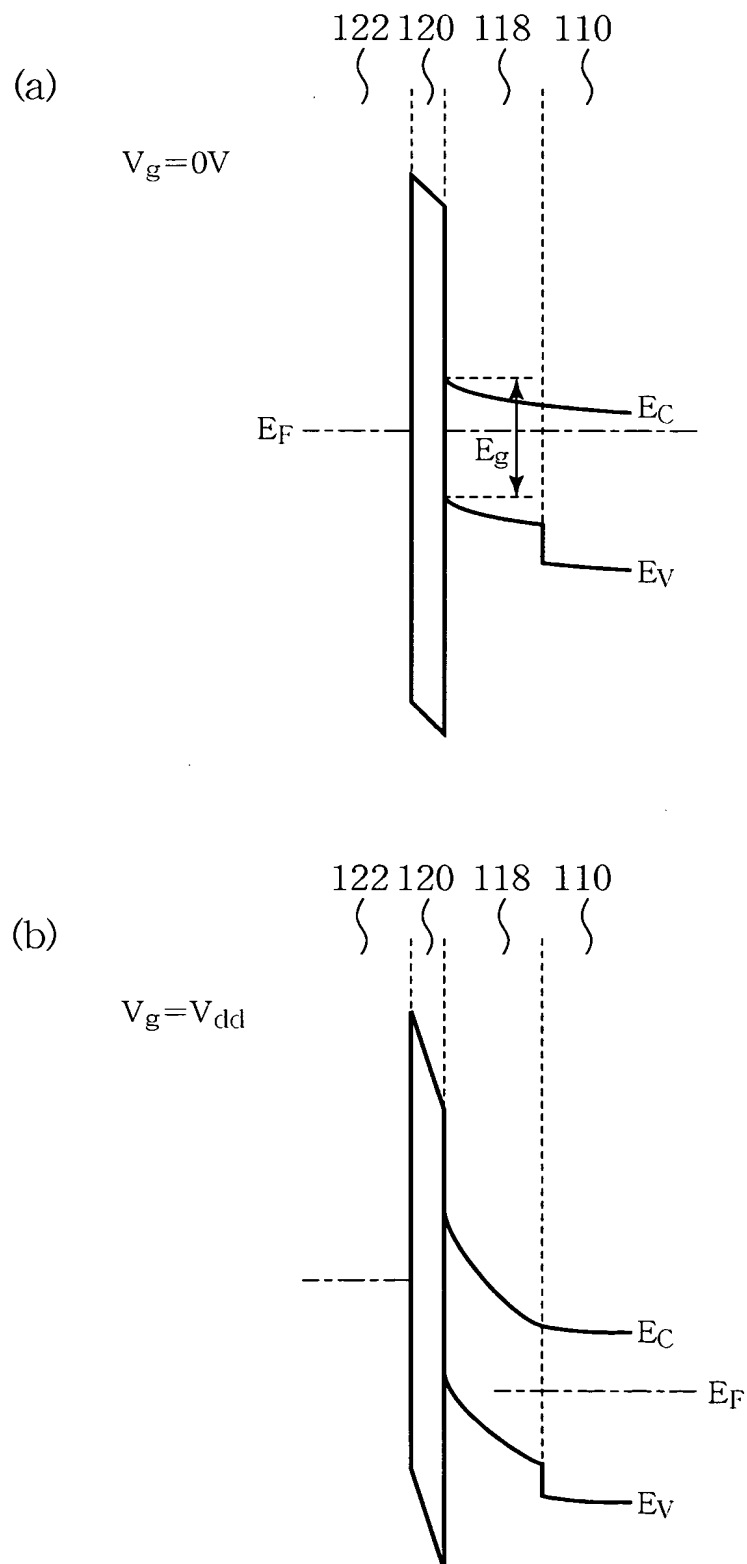
【図 1】

本発明の第1実施形態による半導体装置を示す断面図



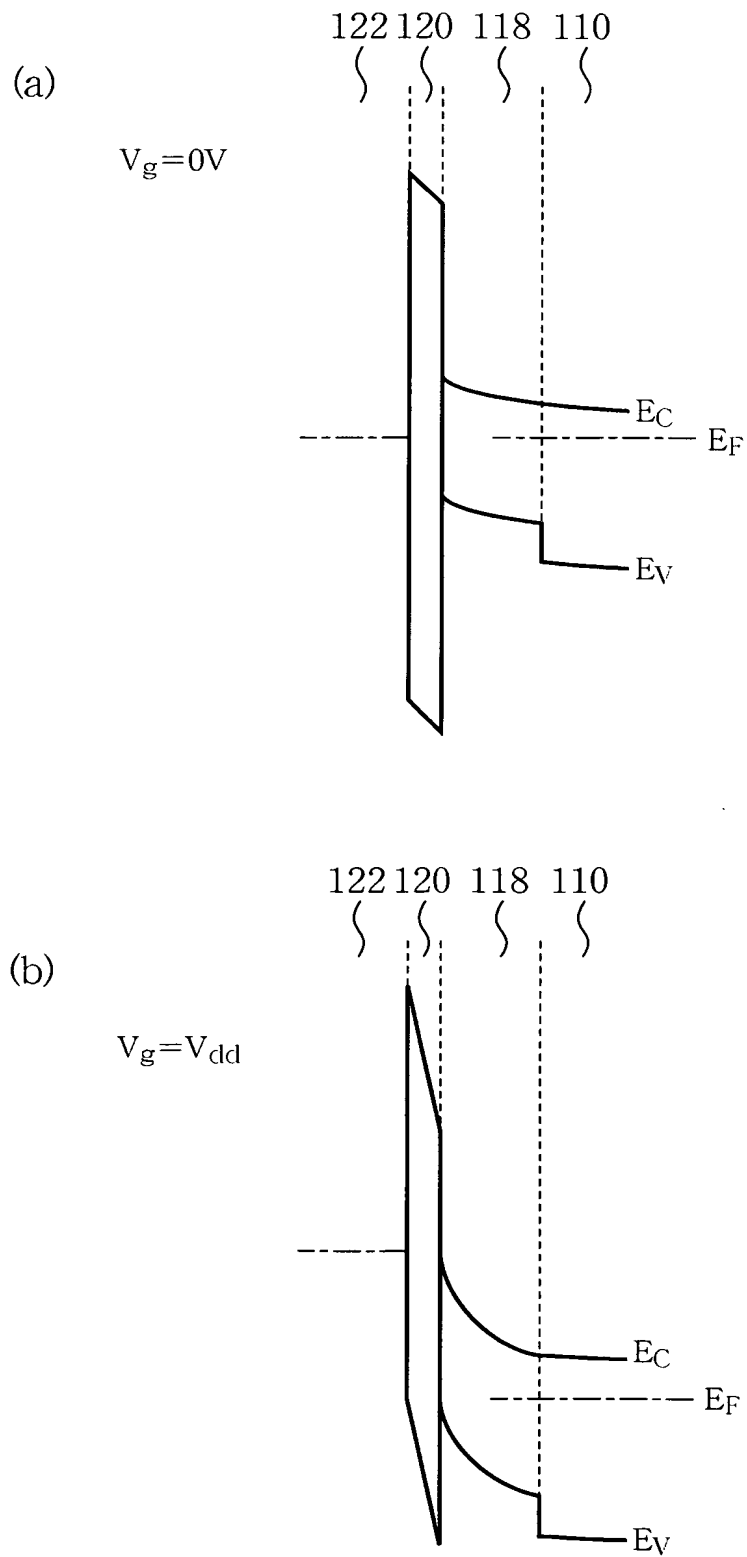
【図 2】

シリコン基板上にSiGeより成るチャネル層を厚く形成した場合におけるエネルギーバンド構造を示す図



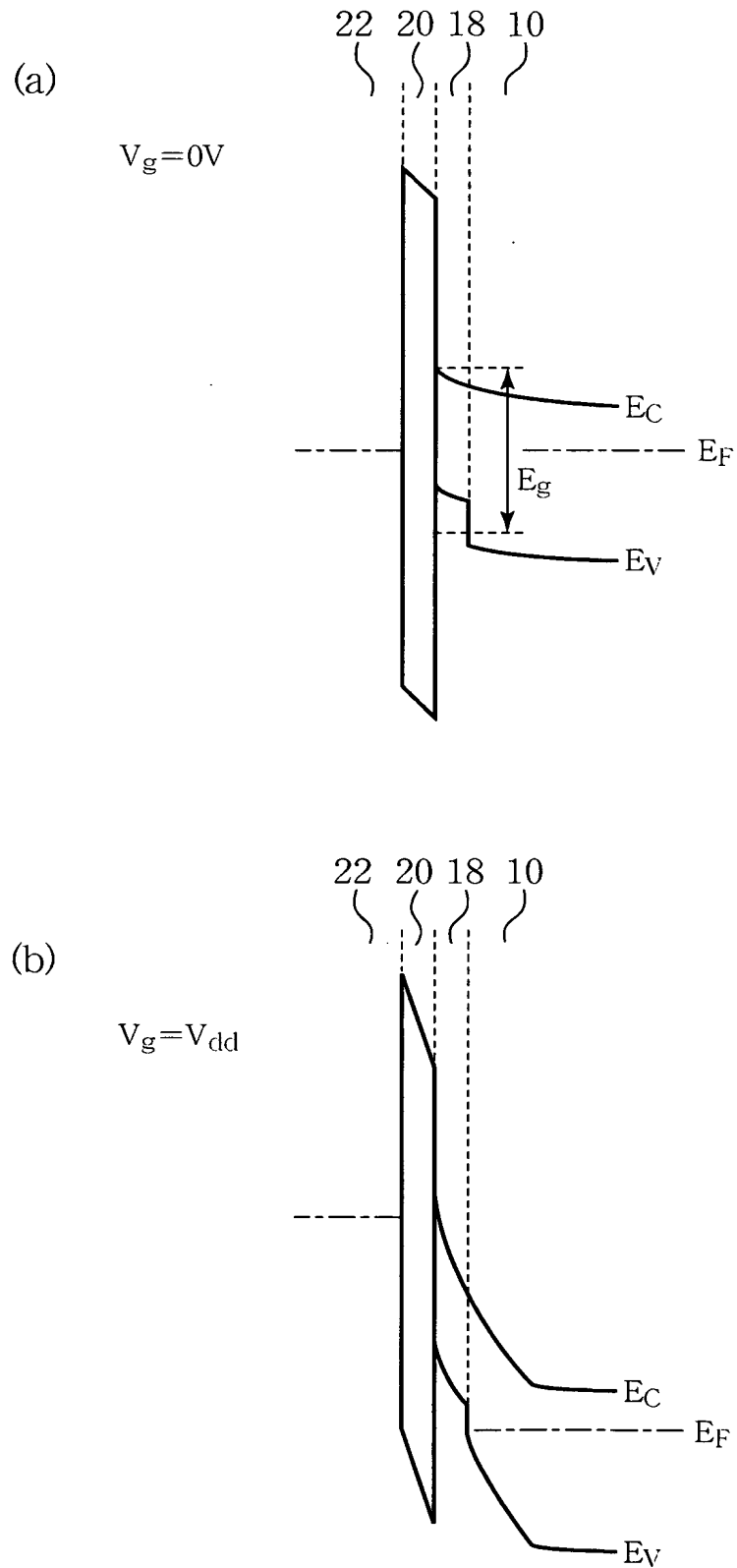
【図3】

SiGeより成るチャネル層にn型のドーパント不純物を高濃度に導入した場合におけるエネルギーバンド構造を示す図



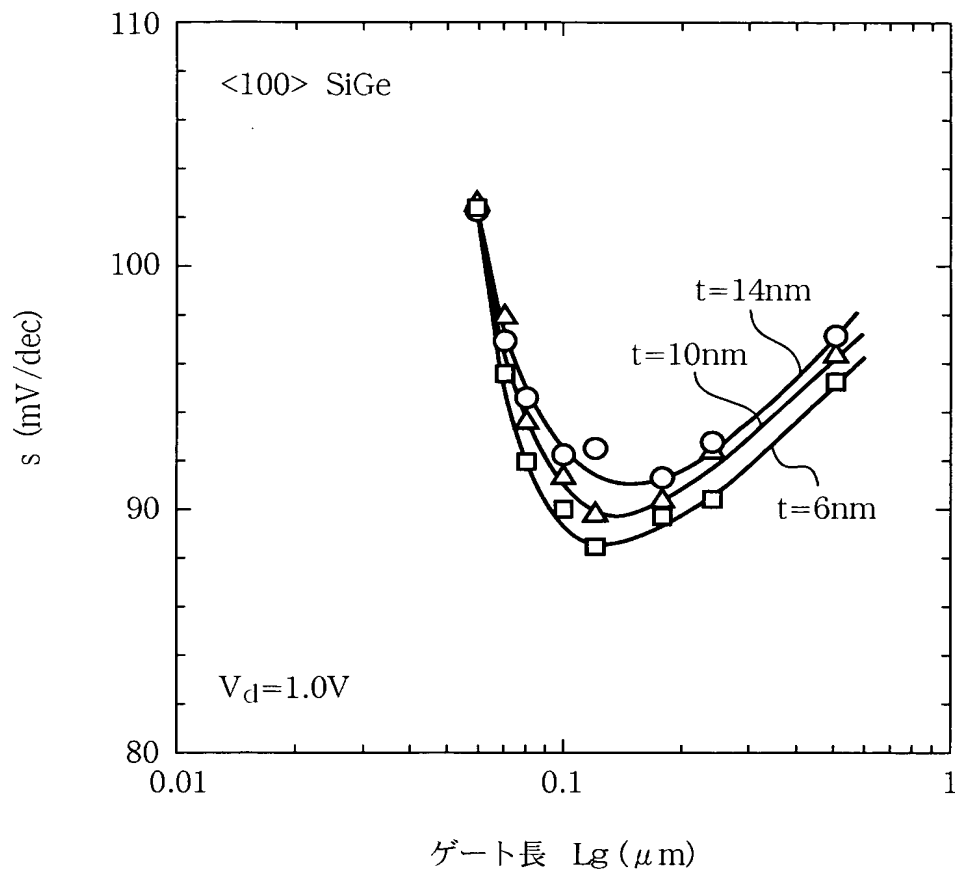
【図4】

本発明の第1実施形態による半導体装置のエネルギーバンド構造を示す図

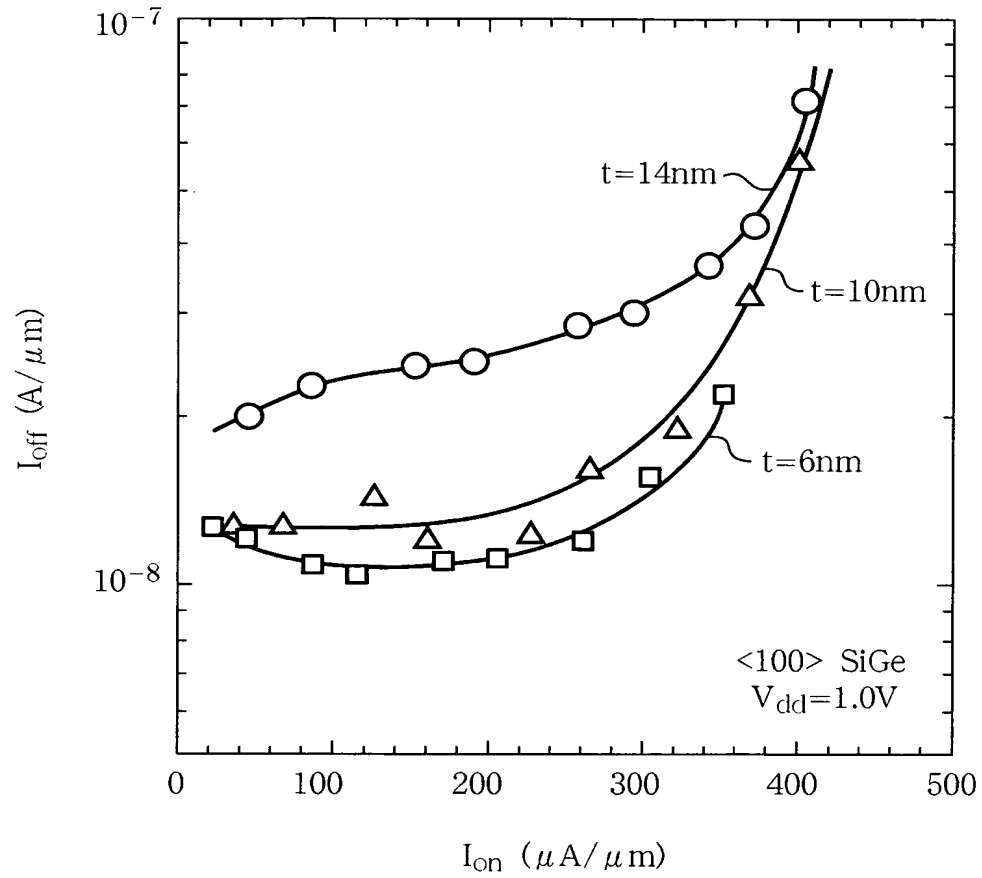


【図 5】

ゲート長とs値との関係を示すグラフ

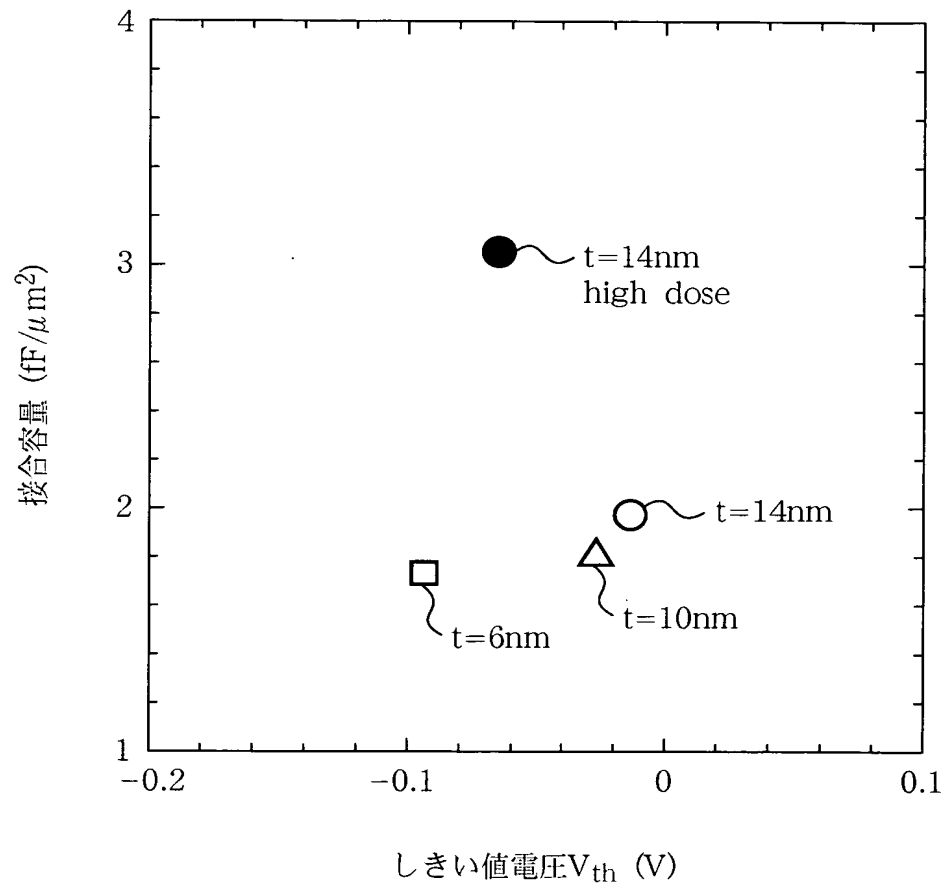


【図 6】

 $I_{\text{on}}-I_{\text{off}}$ 特性を示すグラフ

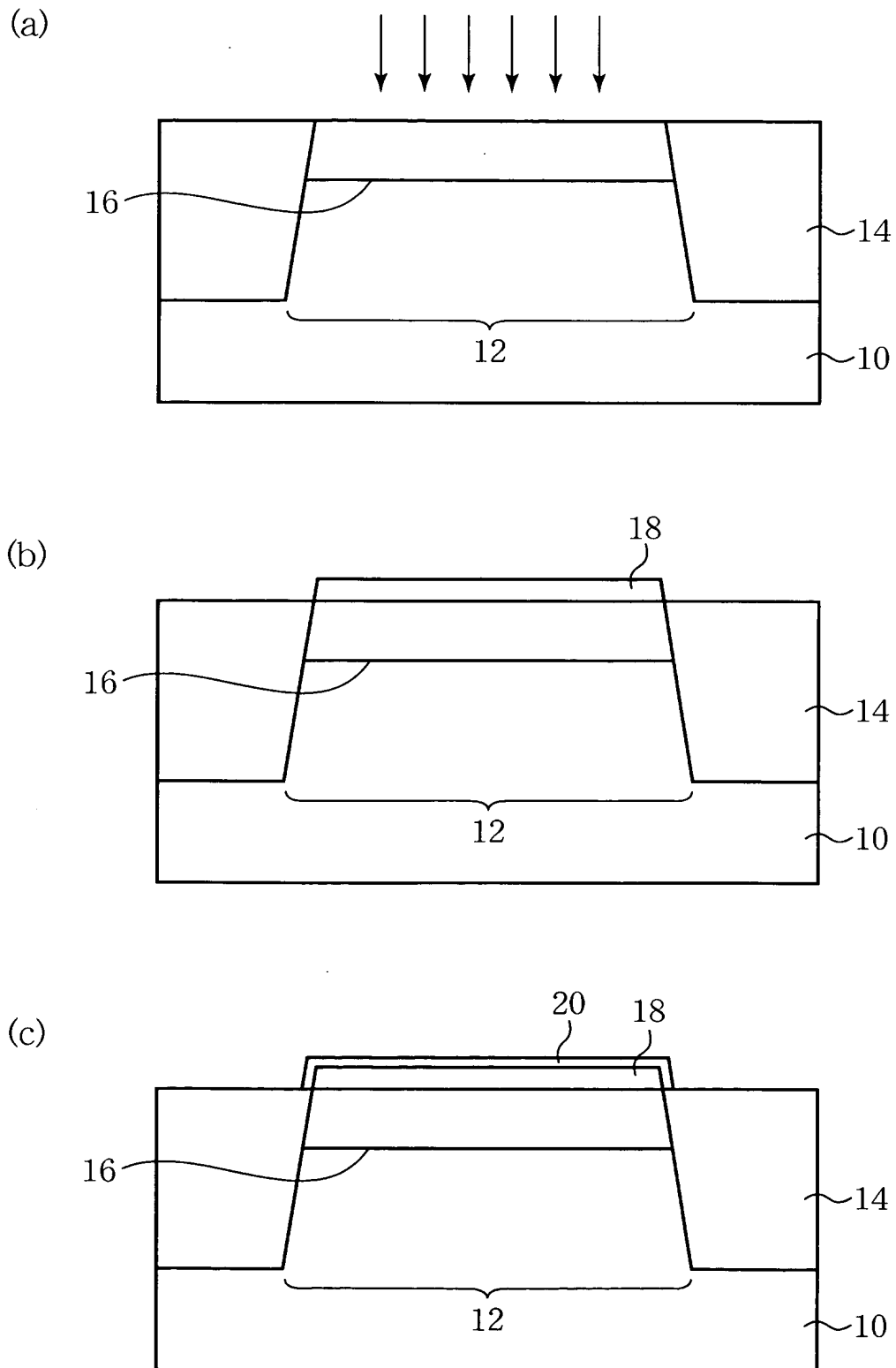
【図 7】

しきい値電圧と接合容量との関係を示すグラフ



【図 8】

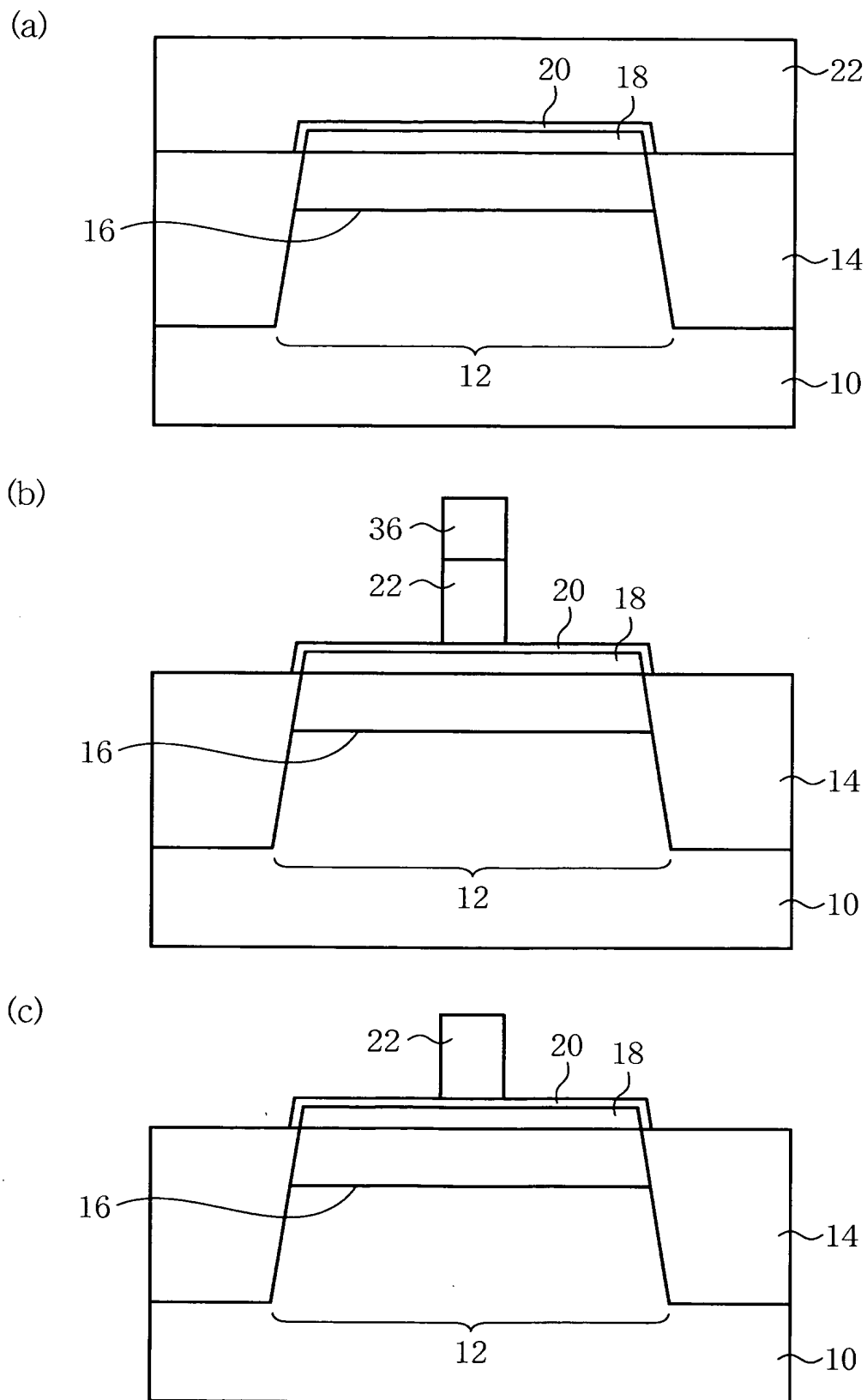
本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図（その1）





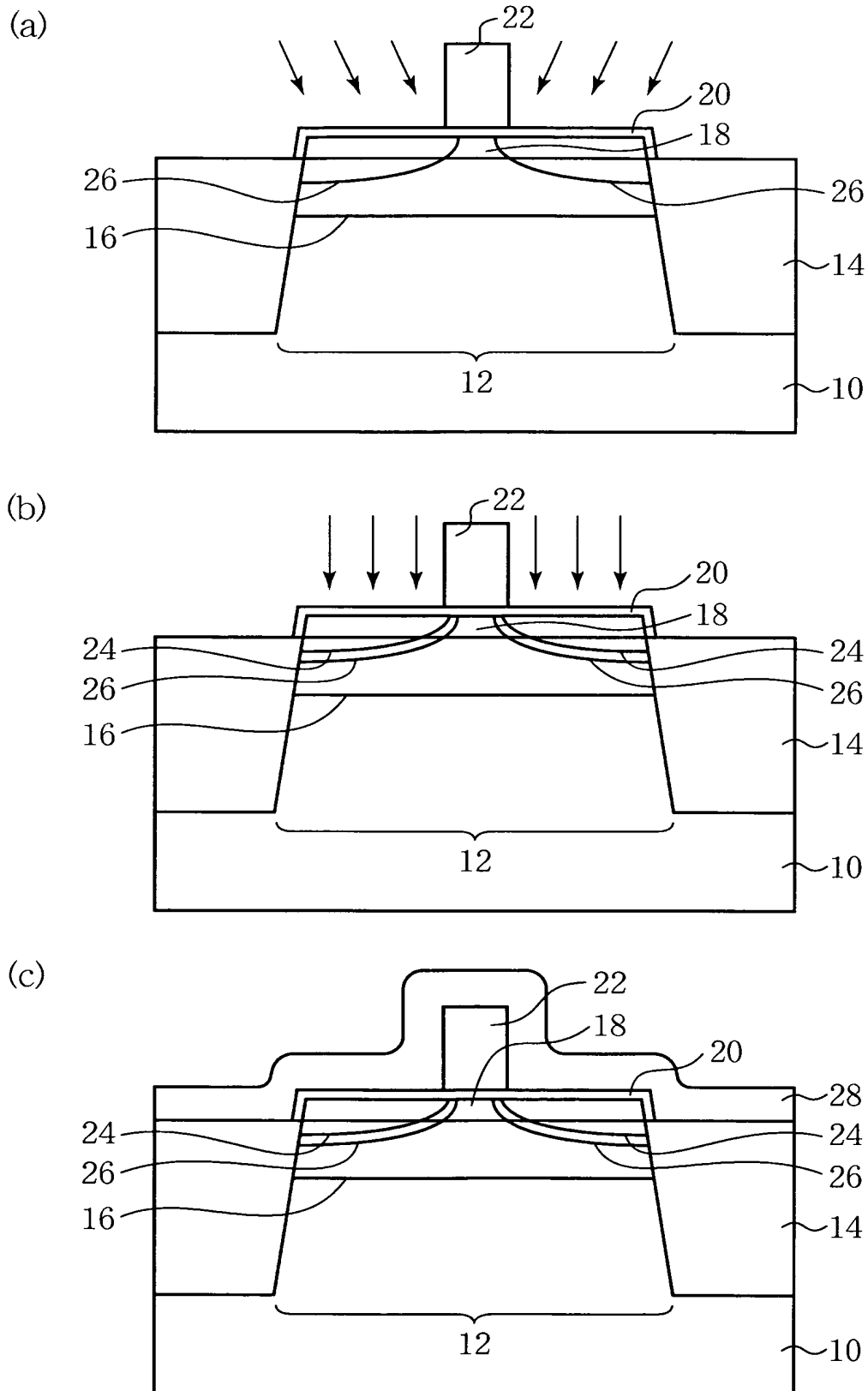
【図 9】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



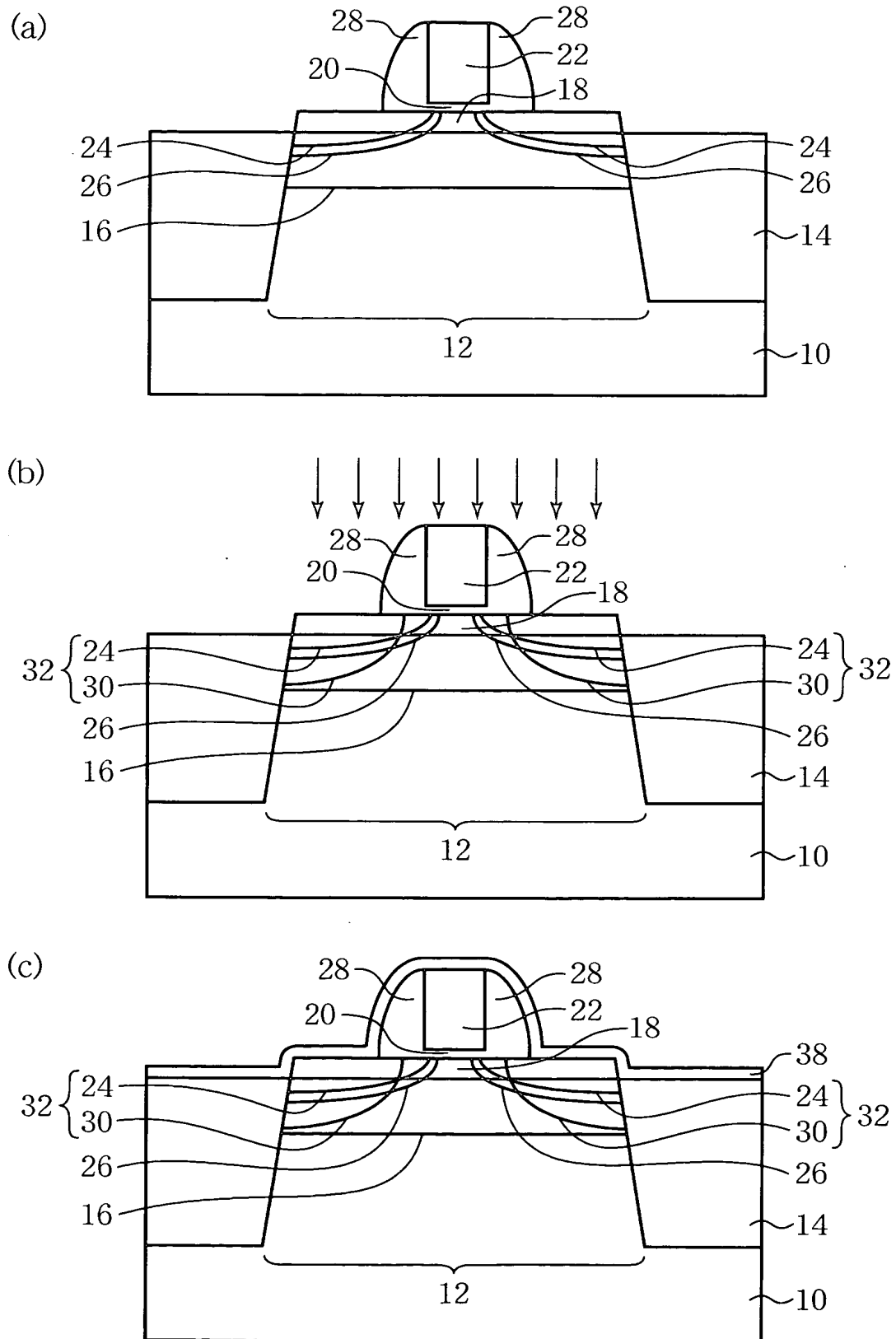
【図 10】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図（その3）



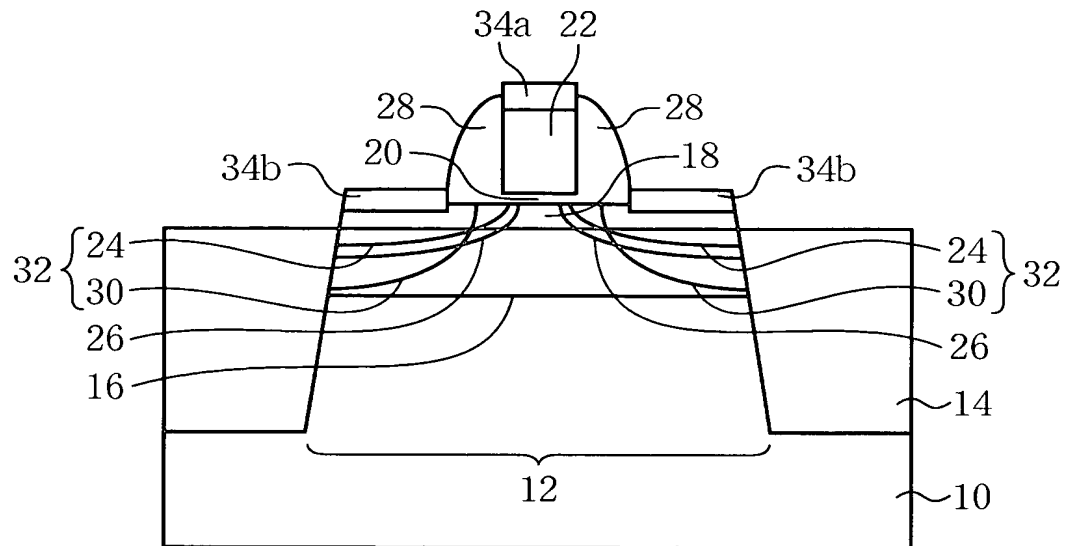
【図 11】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図（その4）



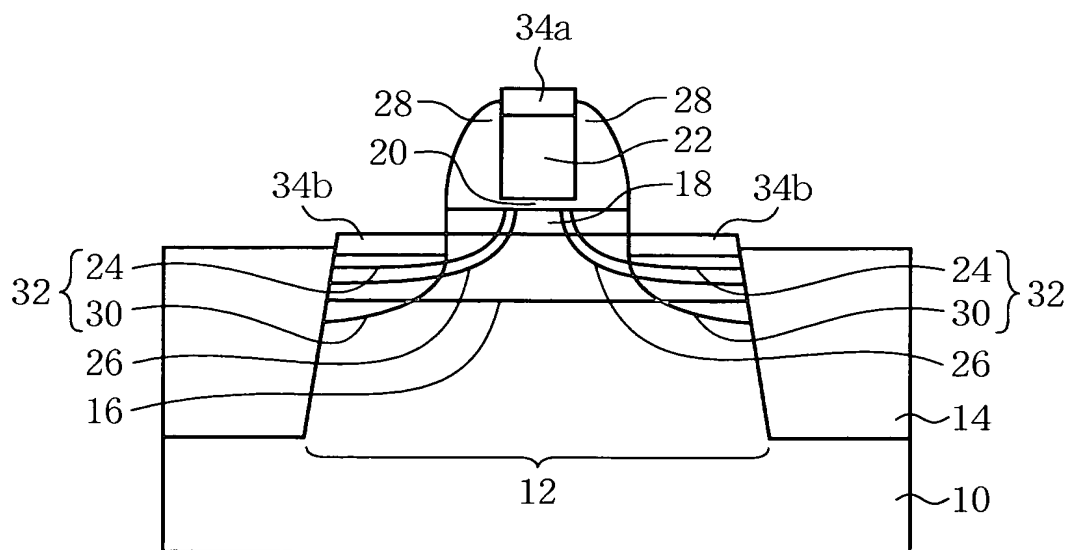
【図 12】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図（その5）



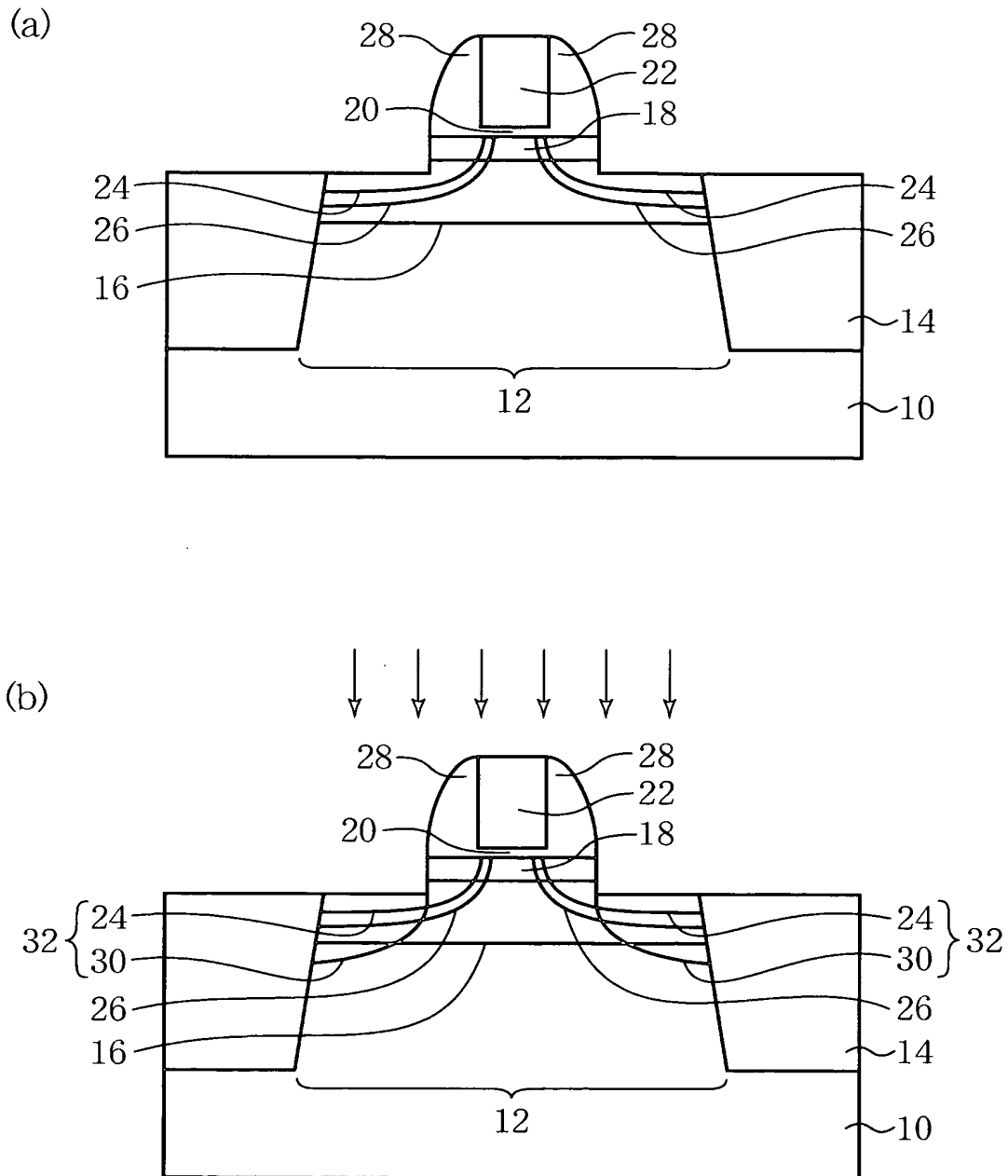
【図 13】

本発明の第2実施形態による半導体装置を示す断面図



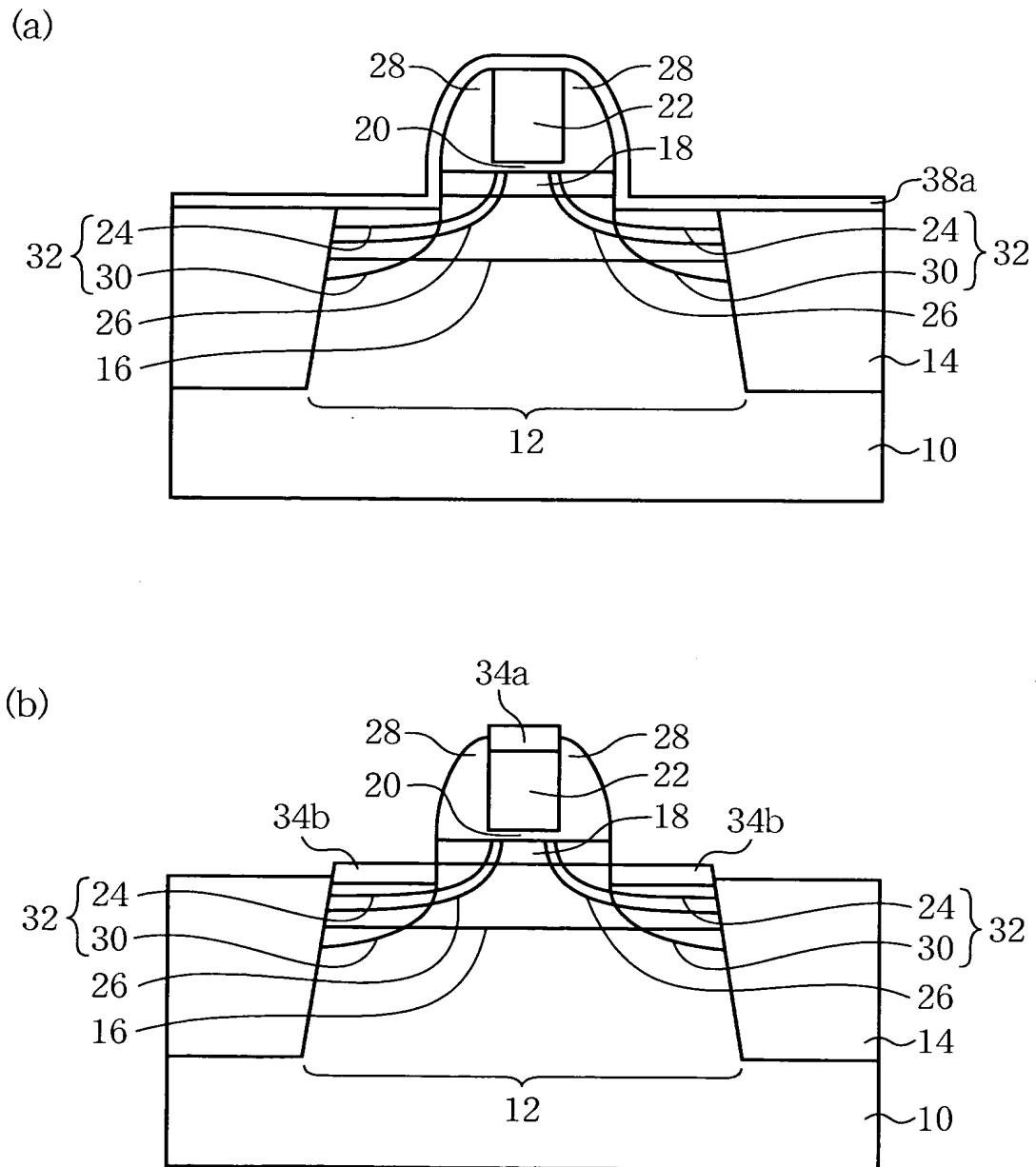
【図 14】

本発明の第2実施形態による半導体装置の製造方法を示す  
工程断面図（その1）



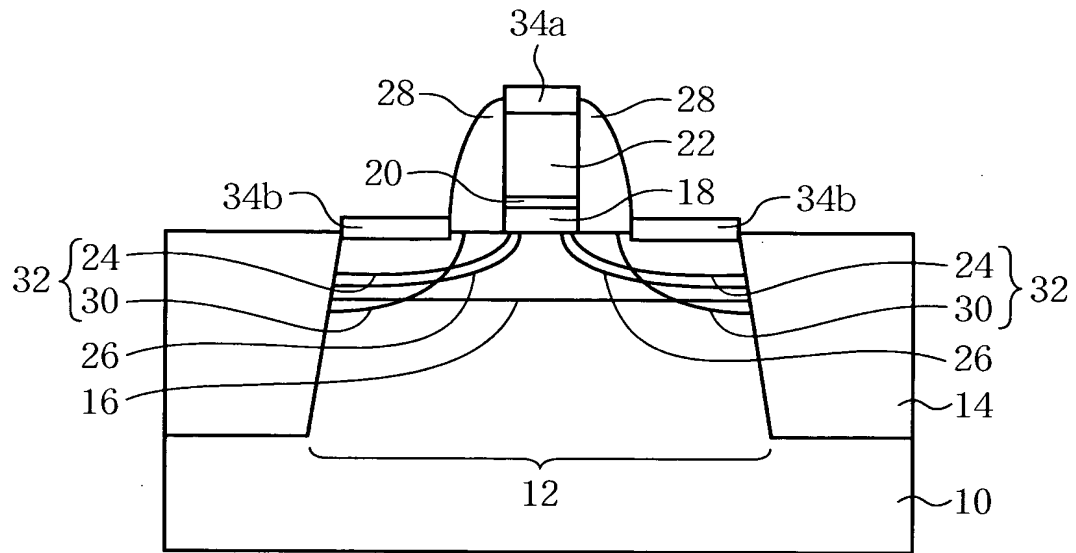
【図 15】

本発明の第2実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



【図 16】

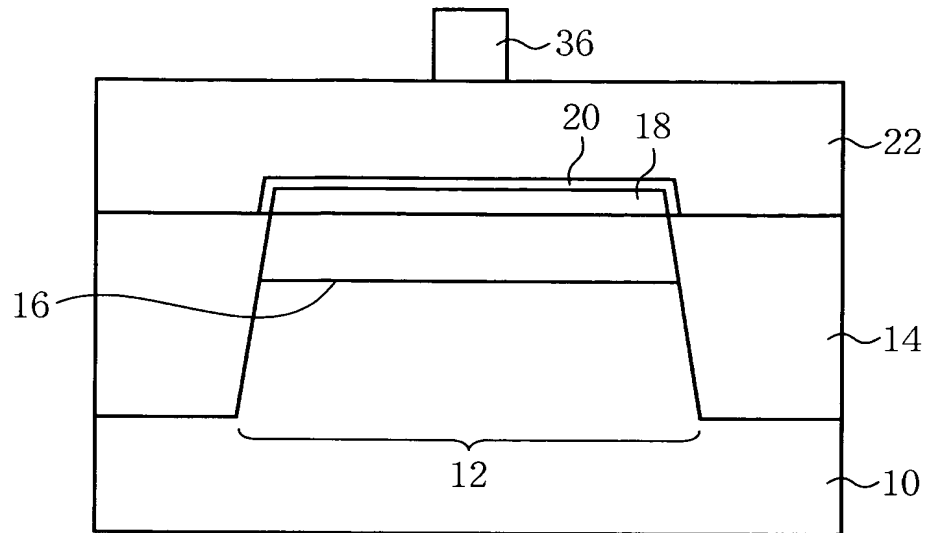
本発明の第3実施形態による半導体装置を示す断面図



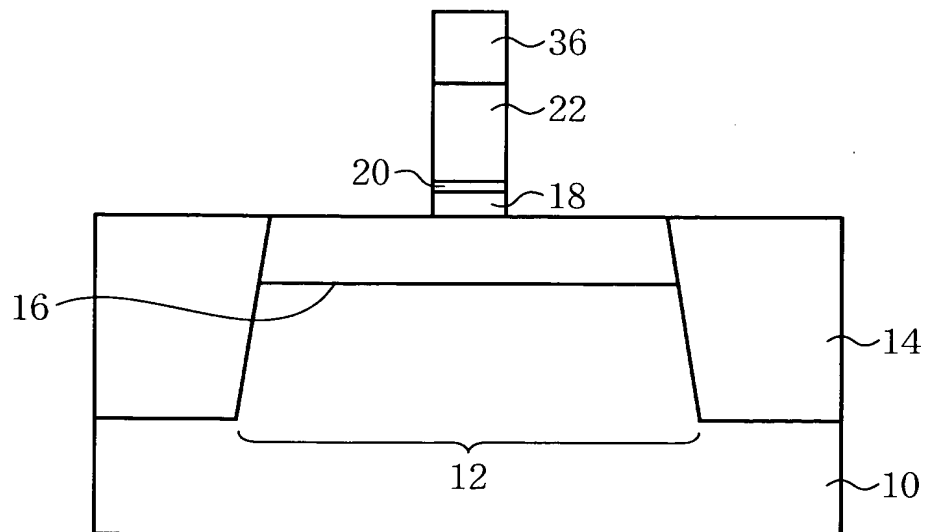
【図 17】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図（その1）

(a)



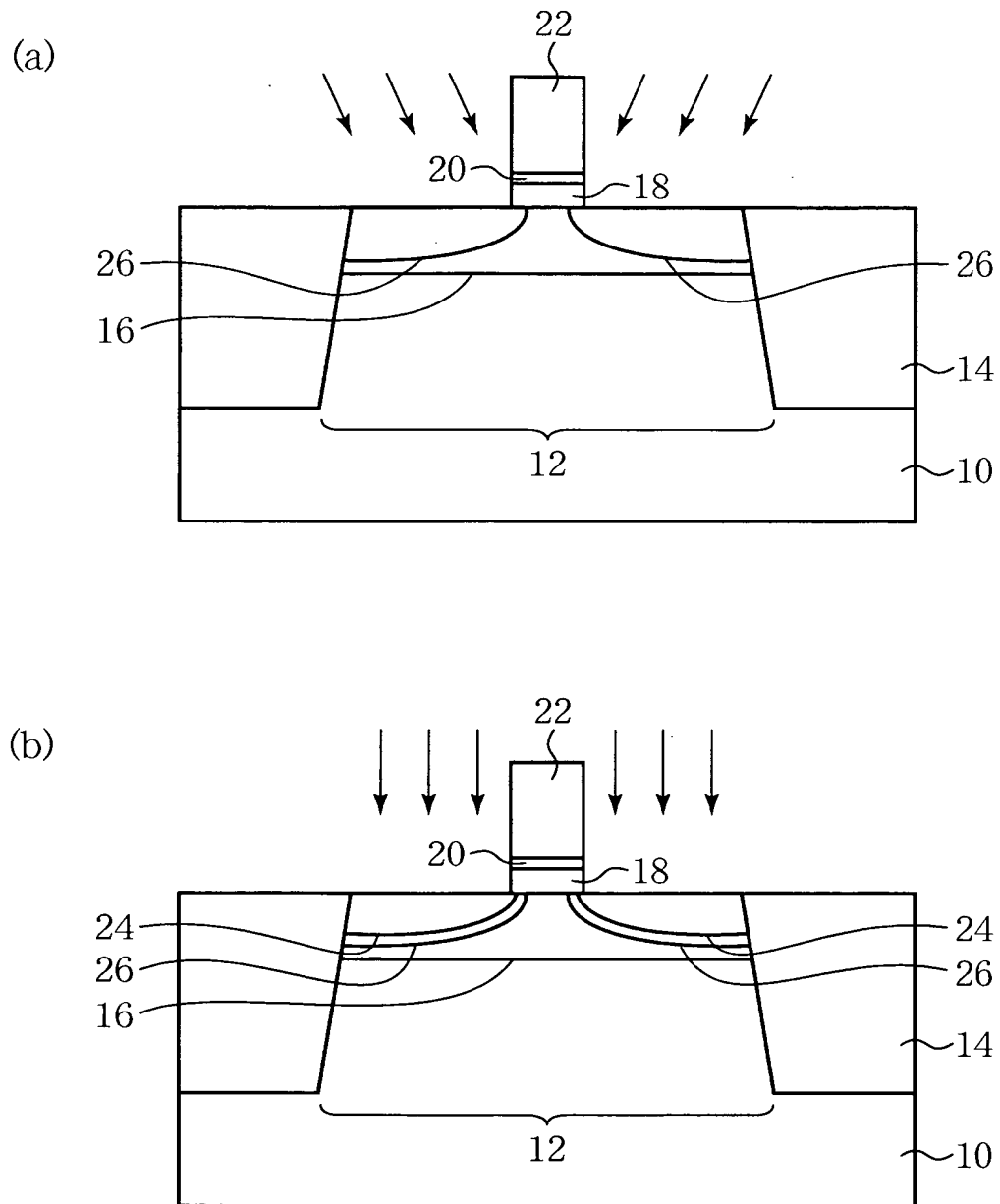
(b)





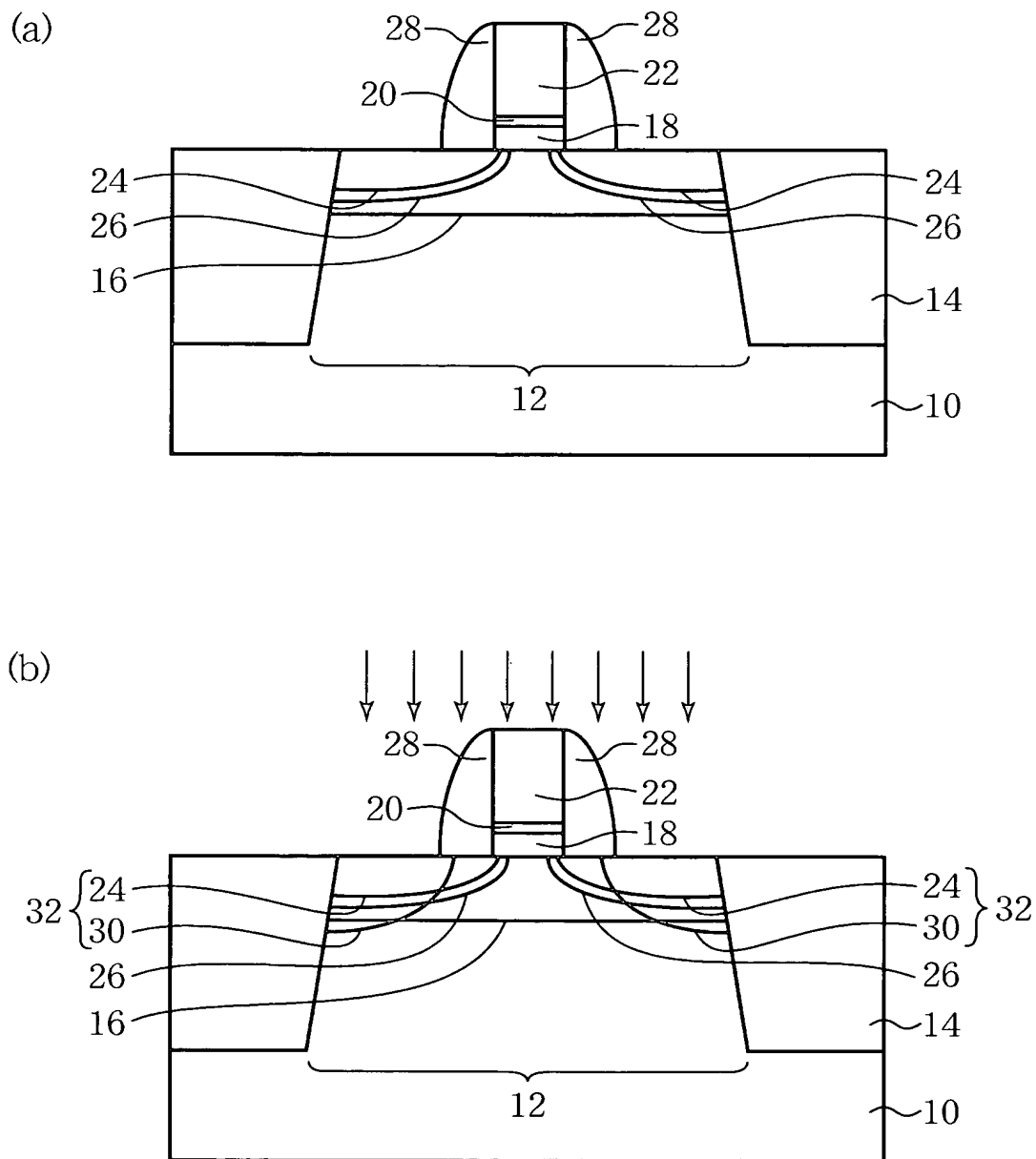
【図18】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



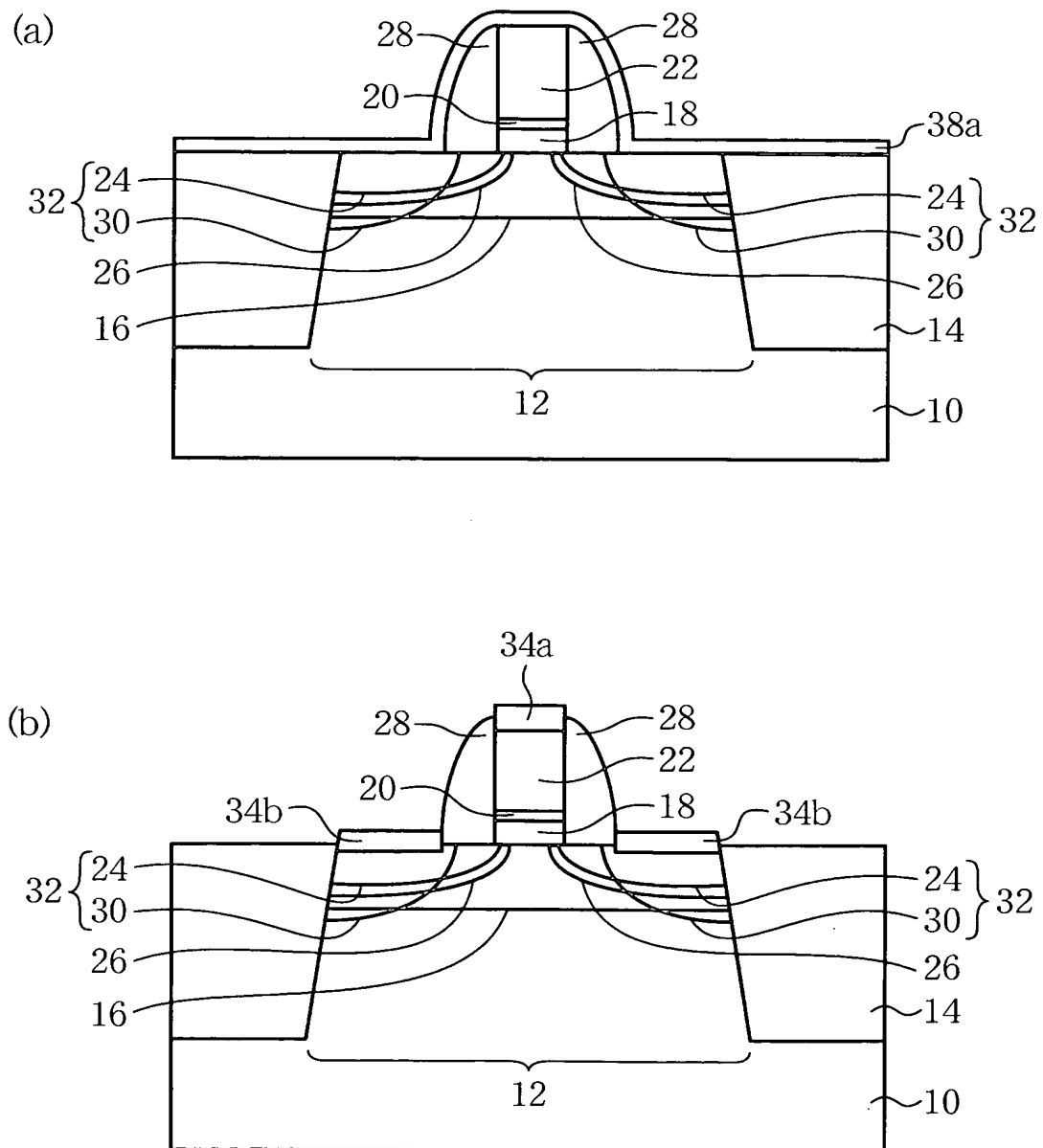
【図19】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図（その3）



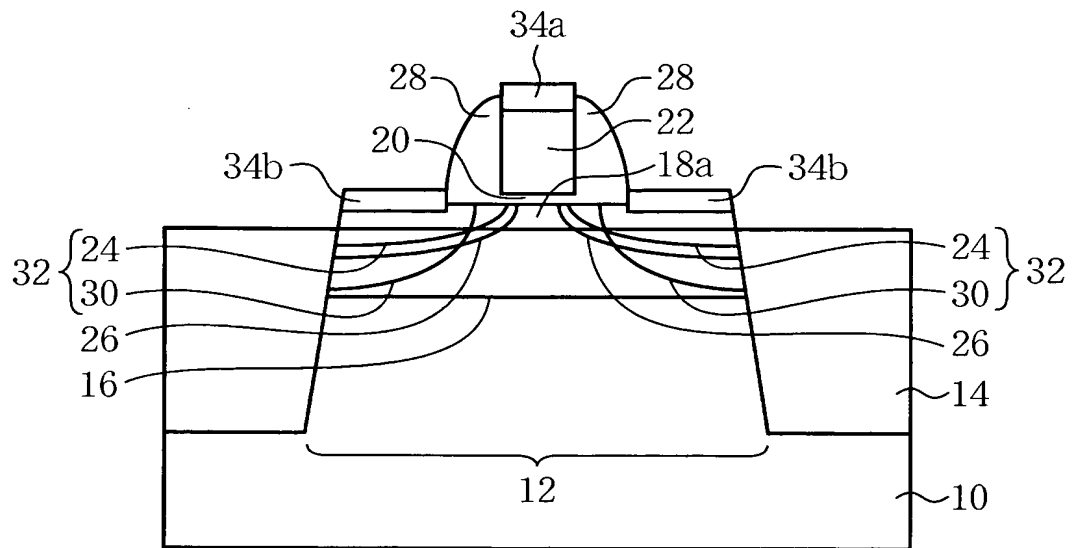
【図 20】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図（その4）



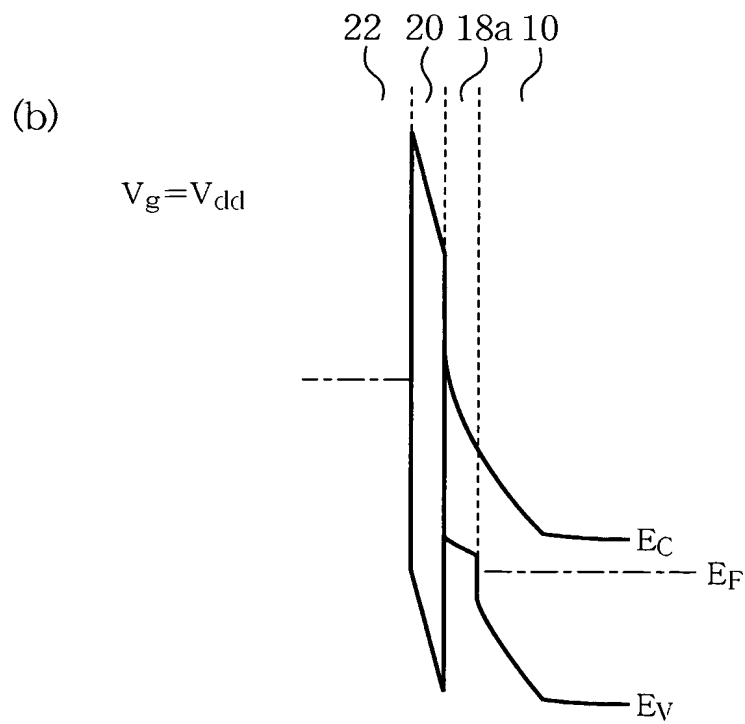
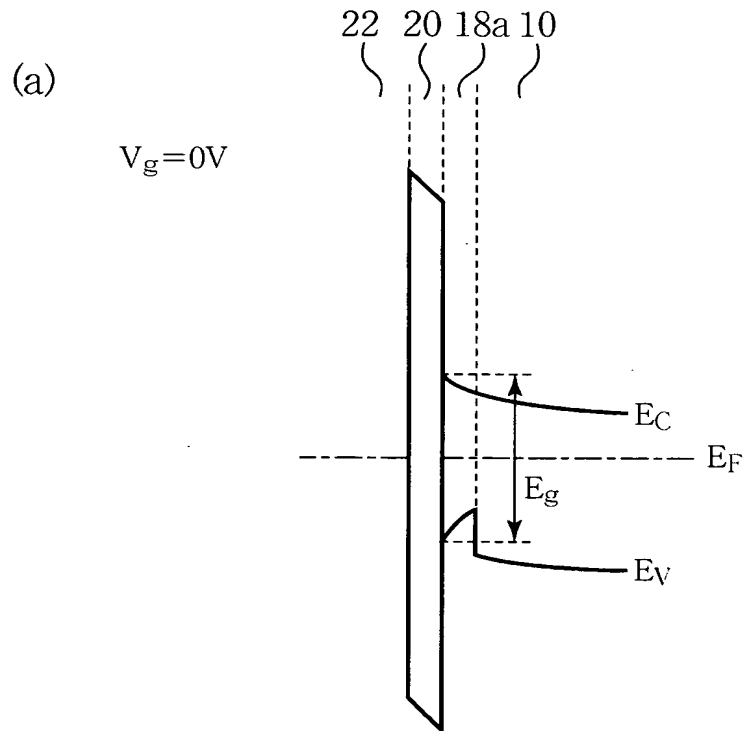
【図 21】

本発明の第4実施形態による半導体装置を示す断面図



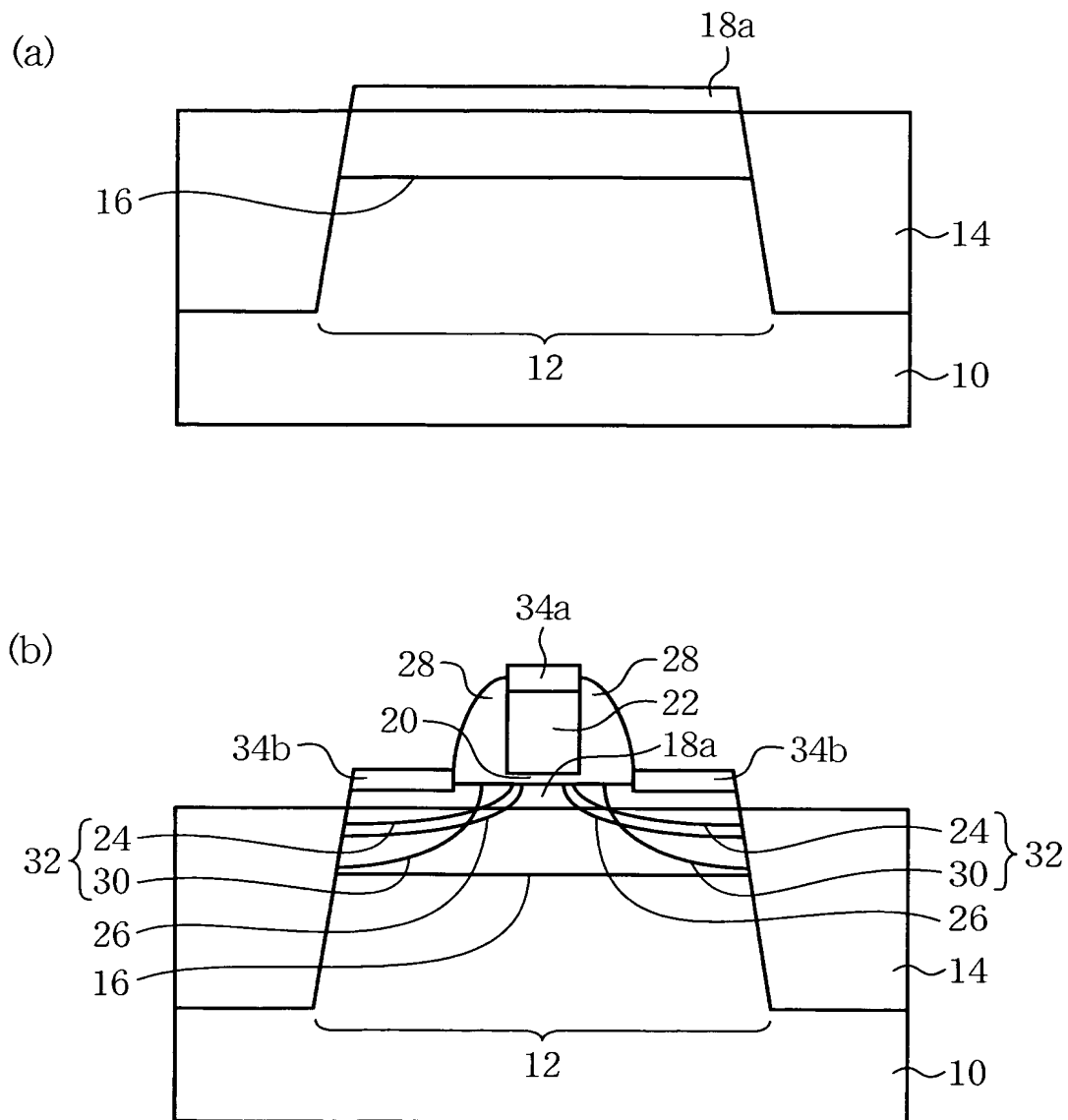
【図 2 2】

本発明の第4実施形態による半導体装置のエネルギーバンド構造を示す図



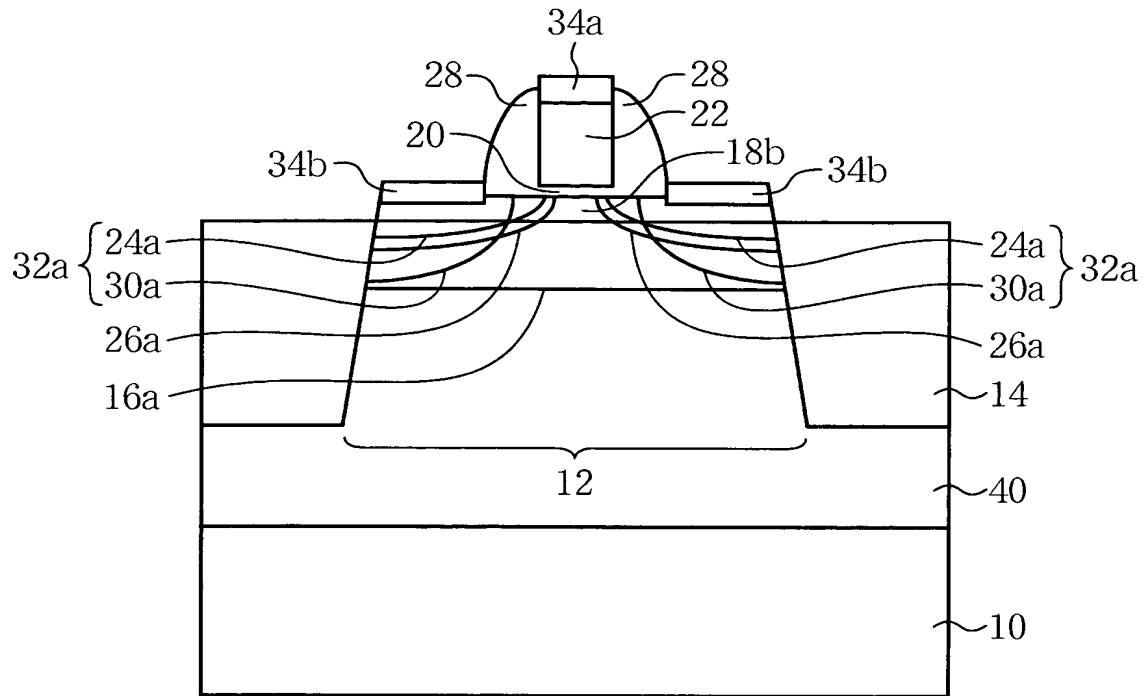
【図 23】

本発明の第4実施形態による半導体装置の製造方法を示す工程断面図



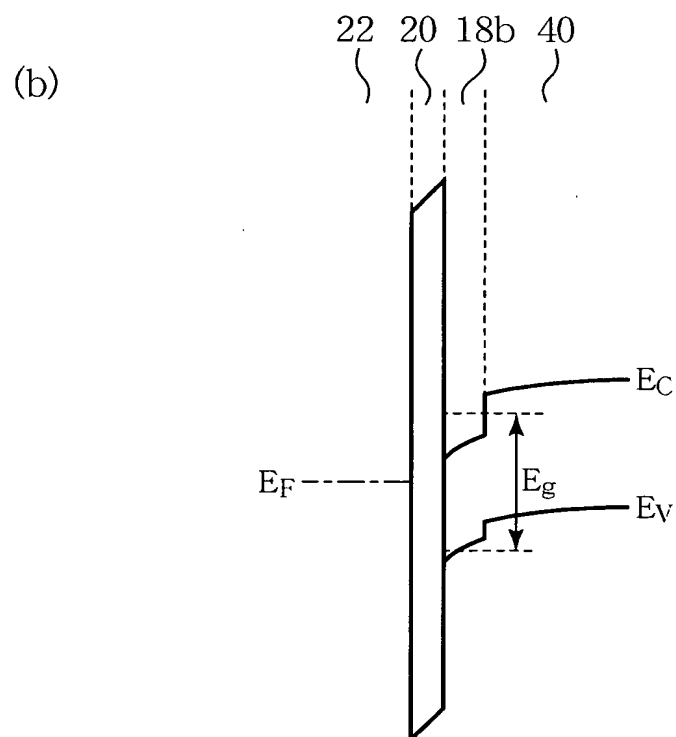
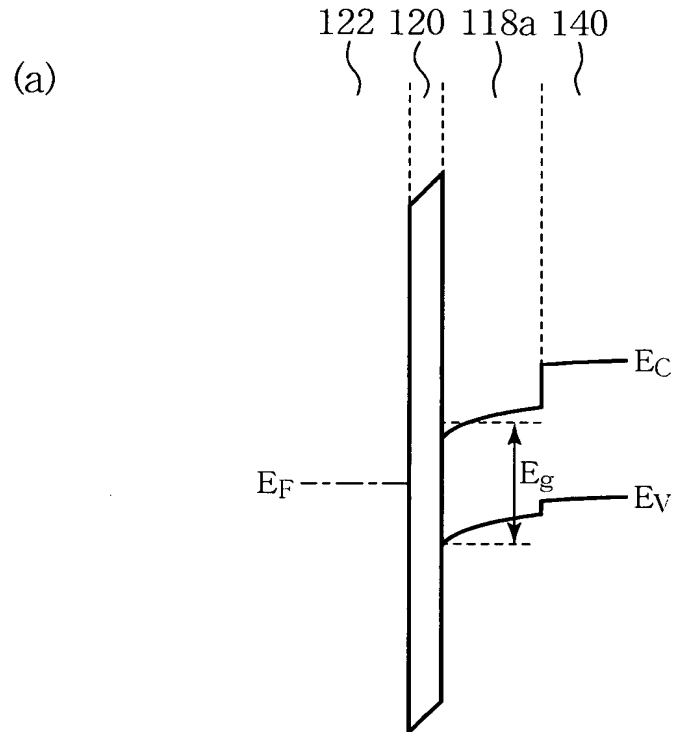
【図 24】

本発明の第5実施形態による半導体装置を示す断面図



【図 25】

シリコン基板上にSiGeより成るバッファ層及びシリコンより成るチャネル層を順次形成した場合におけるエネルギーバンド構造を示す図

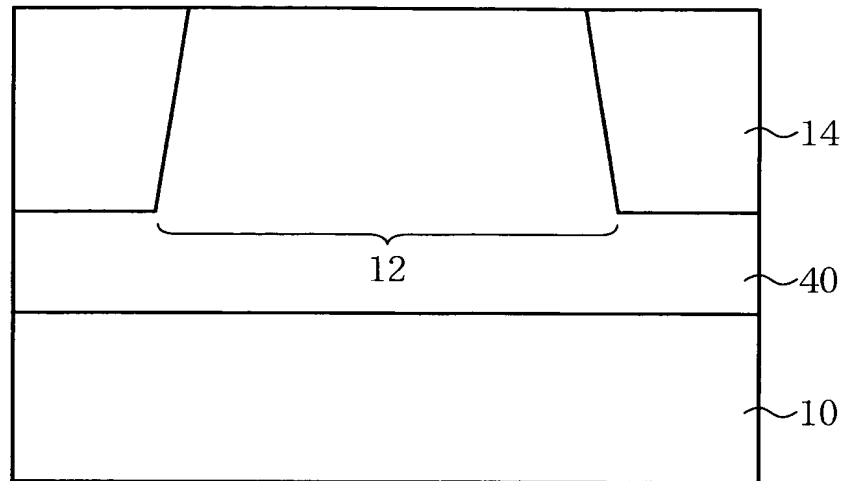




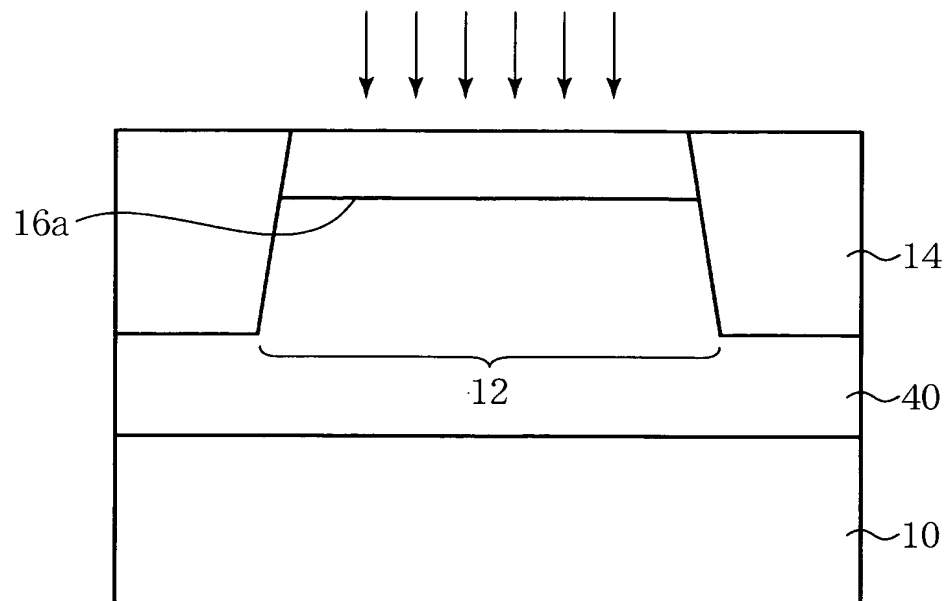
【図 26】

本発明の第5実施形態による半導体装置の製造方法を示す  
工程断面図（その1）

(a)

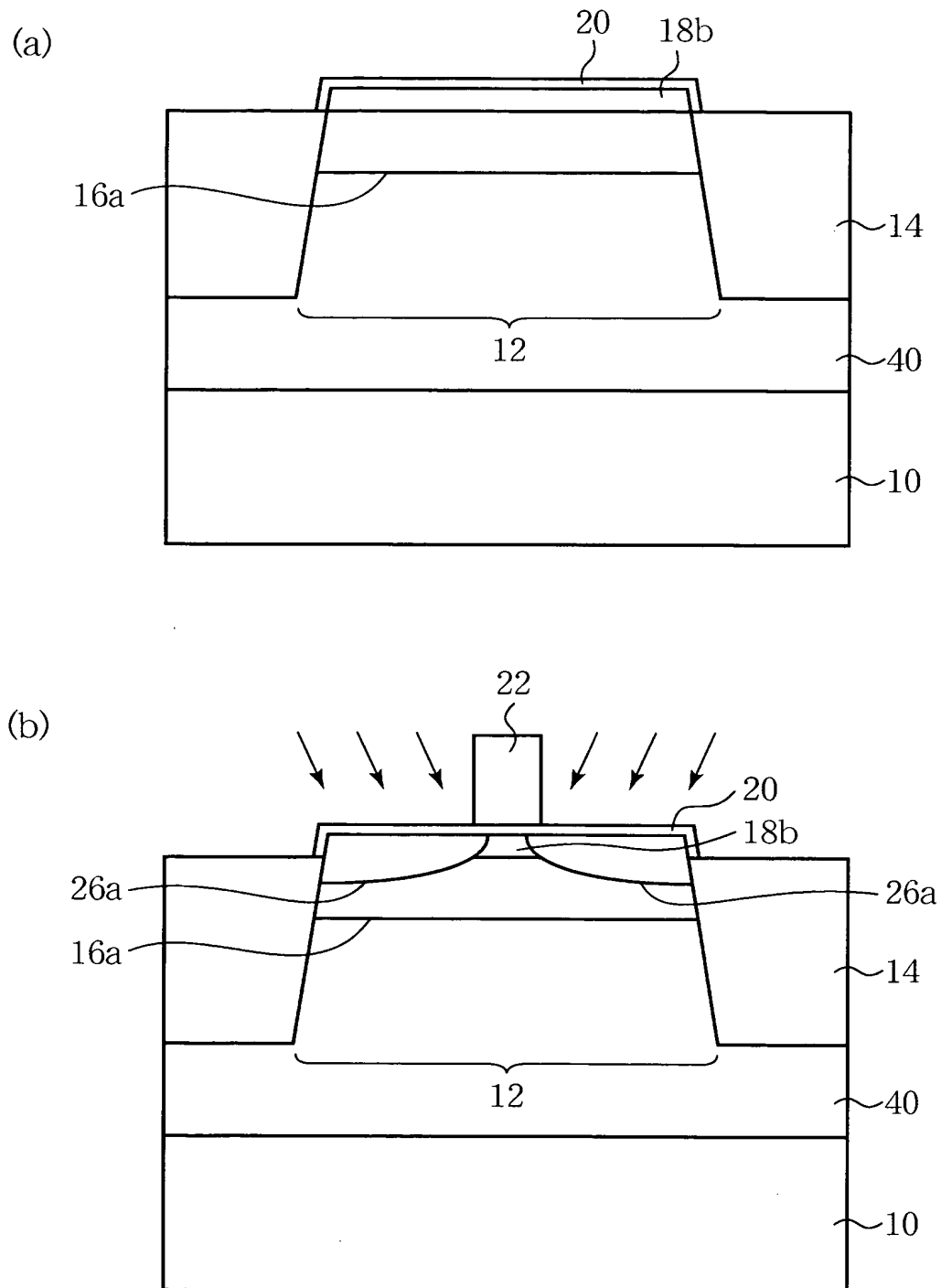


(b)



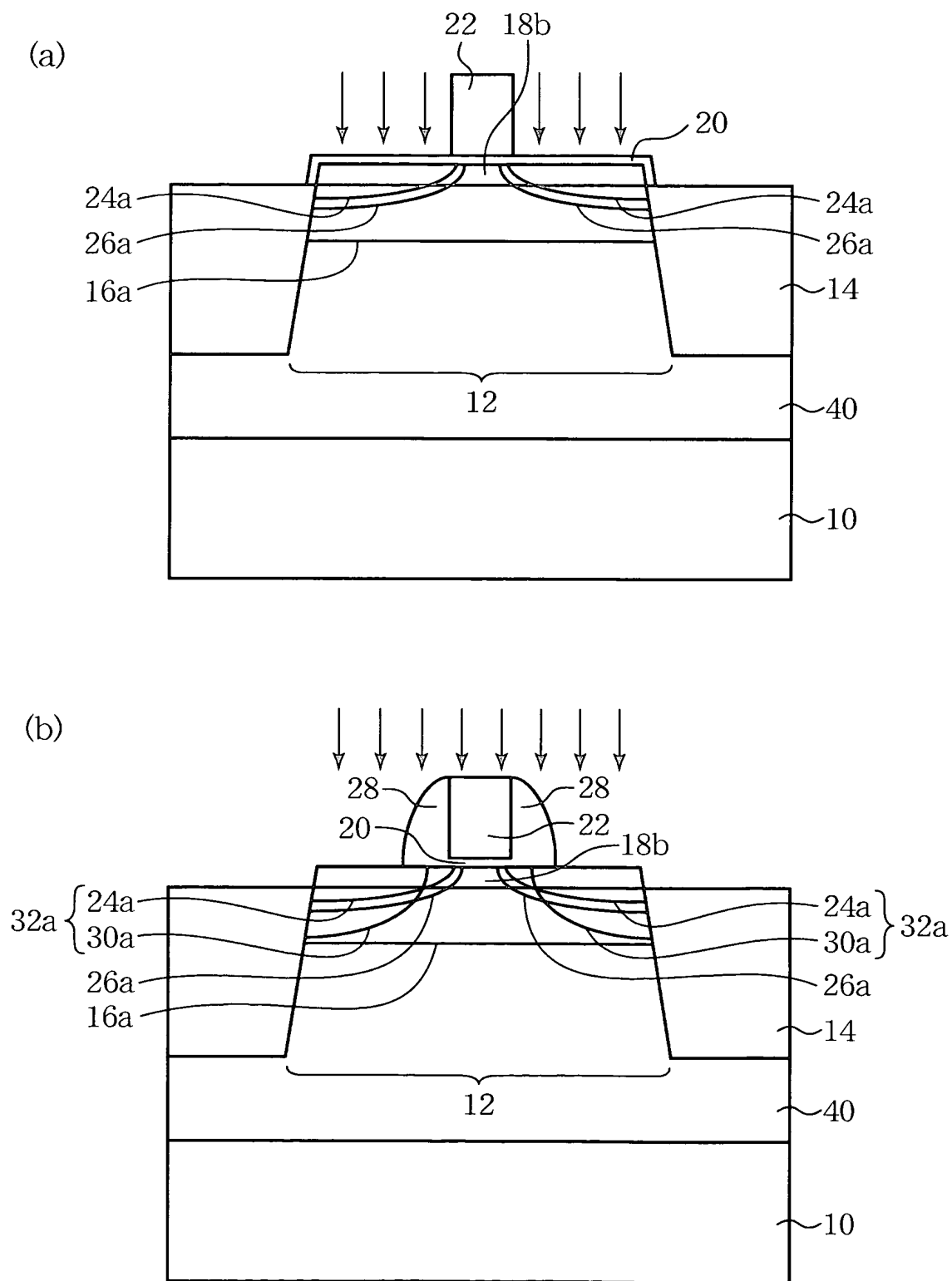
【図 27】

本発明の第5実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



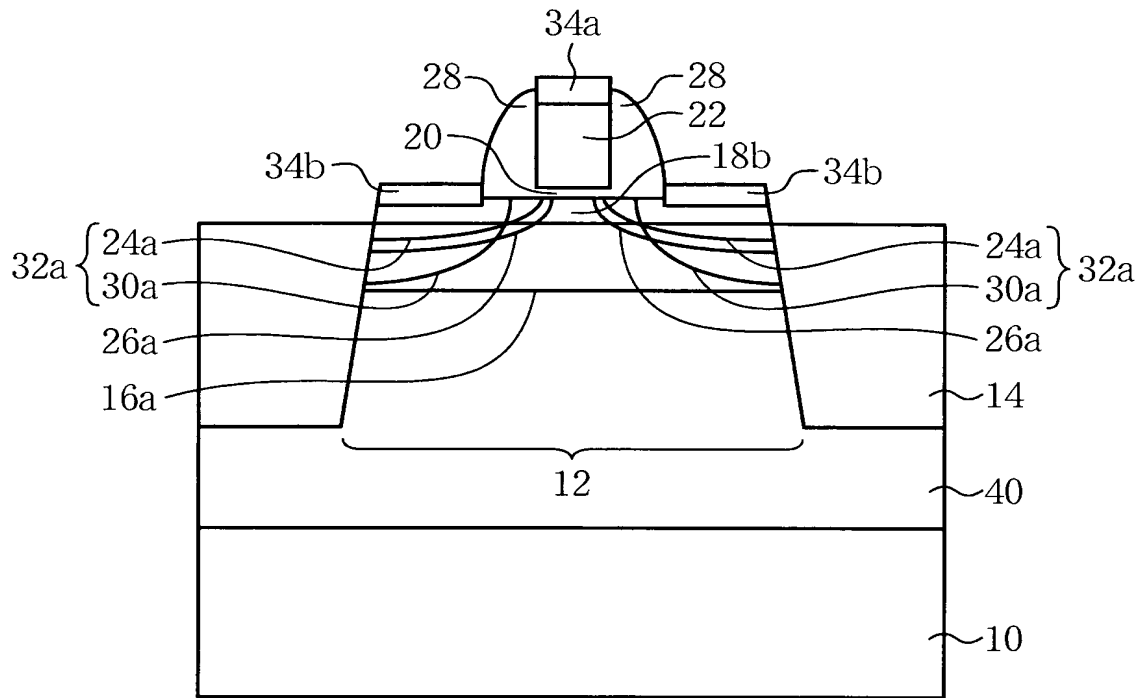
【図 28】

本発明の第5実施形態による半導体装置の製造方法を示す  
工程断面図（その3）



【図 29】

本発明の第5実施形態による半導体装置の製造方法を示す  
工程断面図（その4）



## 【書類名】 要約書

## 【要約】

【課題】 オフ電流の増加やオン電流の低下を招くことなく、動作速度を向上し得る半導体装置及びその製造方法を提供する。

【解決手段】 シリコン基板 1 0 上に形成された、厚さ 2 ～ 6 n m の S i G e より成るチャネル層 1 8 と、チャネル層上に、ゲート絶縁膜 2 0 を介して形成されたゲート電極 2 2 と、ゲート電極の両側に形成されたソース／ドレイン拡散層 3 2 とを有している。チャネル層が薄く形成されているため、チャネル層において量子閉じ込め効果を生じさせることができ、チャネル層における実効的なバンドギャップを大きくすることができる。オフ電流の増大、オン電流の減少等を招くことなく、キャリア移動度を向上することができるため、動作速度の速い半導体装置を提供することができる。

【選択図】 図 1

特願 2 0 0 3 - 3 8 2 4 6 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社